

MAX 10 FPGA 开发套件用户指南



UG-01169
2017.09.07

101 Innovation Drive
San Jose, CA 95134
www.altera.com

ALTERA
now part of Intel®

内容

概述.....	1-1
概述.....	1-3
处理电路板.....	1-5
入门.....	2-1
Quartus II 网络版软件.....	2-1
安装开发套件.....	2-1
安装 USB-Blaster 驱动程序.....	2-2
电路板更新门户(Board Update Portal).....	2-2
电路板测试系统.....	3-1
使用 Configure 菜单.....	3-3
System Info 选项卡.....	3-5
GPIO 选项卡.....	3-7
Flash 选项卡.....	3-9
HSMC 选项卡.....	3-11
DDR3 选项卡.....	3-13
ADC 选项卡.....	3-15
HDMI 选项卡.....	3-17
Sleep Mode 选项卡.....	3-18
功耗监视器(Power Monitor).....	3-20
时钟控制.....	3-22
电路板组件.....	4-1
电路板概述.....	4-1
特性器件.....	4-3
配置.....	4-4
使用 Quartus II Programmer.....	4-4
选择内部配置方案.....	4-4
开关和跳线设置.....	4-5
状态单元.....	4-7
设置单元.....	4-8
普通用户输入/输出.....	4-8
时钟电路.....	4-9
板载振荡器.....	4-10
板外时钟输入/输出	4-11

组件和接口.....	4-12
10/100/1000 Ethernet PHY.....	4-12
数字到模拟转换器.....	4-15
HDMI 视频输出.....	4-16
HSMC.....	4-18
Pmod 连接器.....	4-23
USB 到 UART.....	4-24
存储器.....	4-24
DDR3 Rev. B Board.....	4-24
DDR3 Rev. C 电路板.....	4-27
Flash.....	4-29
配电系统.....	4-31
附加信息.....	A-1
用户指南修订历史.....	A-1
合规性与一致性声明.....	A-3
CE EMI 一致性提醒.....	A-3

2017.09.07

UG-01169



订阅



反馈

MAX[®] 10 FPGA 开发板提供一个用于评估 Altera[®] MAX 10 器件的性能和功能的硬件平台。

此开发套件包括一个符合 RoHS 和 CE 的 MAX 10 FPGA 开发板，包含以下组件：

- 特征器件：
 - MAX 10 FPGA (10M50D，双电源，F484 封装)
 - 集成电感的 Enpirion[®] EN2342QI 4 A PowerSoC 电压模式同步降压转换器
 - 集成电感的 EN6337QI 3 A 高效 PowerSoC DC-DC 降压转换器
 - 集成电感的 Enpirion EP5358xUI 600 mA PowerSoC DC-DC 降压转换器
 - MAX II CPLD – EPM1270M256C4N (板载 USB-Blaster[™] II)
- 编程和配置：
 - 嵌入式 USB-Blaster II (JTAG)
 - 可选的 JTAG direct via 10-pin header
- 存储器件：
 - 具有软核存储控制器的 64-Mx16 1 Gb DDR3 SDRAM
 - 具有软核存储控制器的 128-Mx8 1 Gb DDR3 SDRAM
 - 512-Mb Quad 串行外设接口(quad SPI)闪存
- 通信端口：
 - 两个千兆以太网(GbE) RJ-45 端口
 - 以太网端口 A (底部)
 - 以太网端口 B (顶端)
 - 一个 mini-USB2.0 UART
 - 一个高清多媒体接口(HDMI)视频输出
 - 一个通用高速夹层卡(HSMC)连接器
 - 两个 12 针 Digilent Pmod[™]兼容连接器

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2015
Registered

ALTERA
now part of Intel

- 模拟：
 - 两个 MAX 10 FPGA 模数转换器(ADC) SMA 输入
 - 2x10 ADC header
 - ADC 的电位器输入
 - 一个带有 SMA 输出的外部 16 比特数模转换器(DAC)
- 时钟
 - 25 MHz 单端，外部振荡器时钟源
 - 带可编程频率 GUI 的硅实验室时钟生成器
- 用于板载 USB-Blaster™ II 的 Mini-USB 电缆
- 2A 电源和电源线
- 免费的 Quartus® II Web Edition 设计软件(从网站下载软件和许可)
- 完整的文档
 - 用户手册，材料清单，原理图和电路板文件



概述

图 1-1: MAX 10 FPGA 电路板组件(顶部)

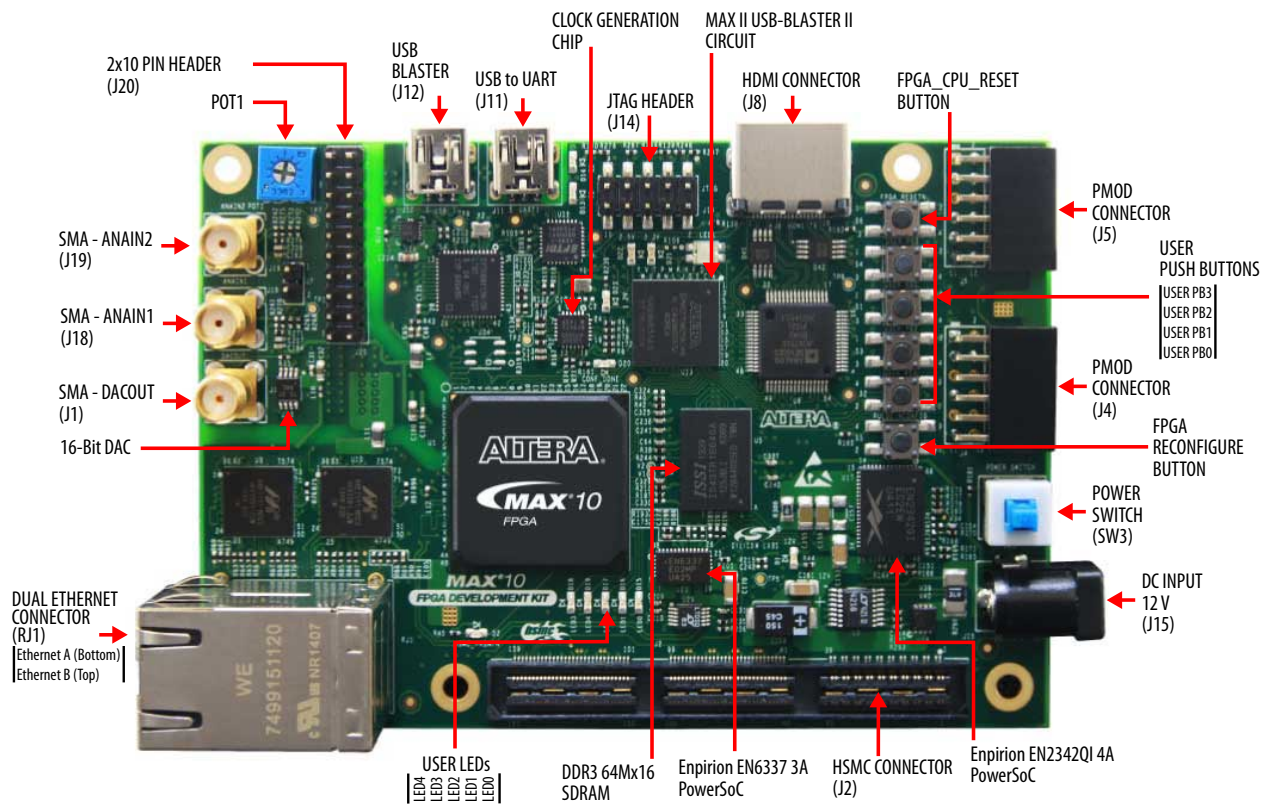


图 1-2: MAX 10 FPGA 电路板组件(底部)

注意: 要确定电路板的版本, 请查看电路板底部的序列号。

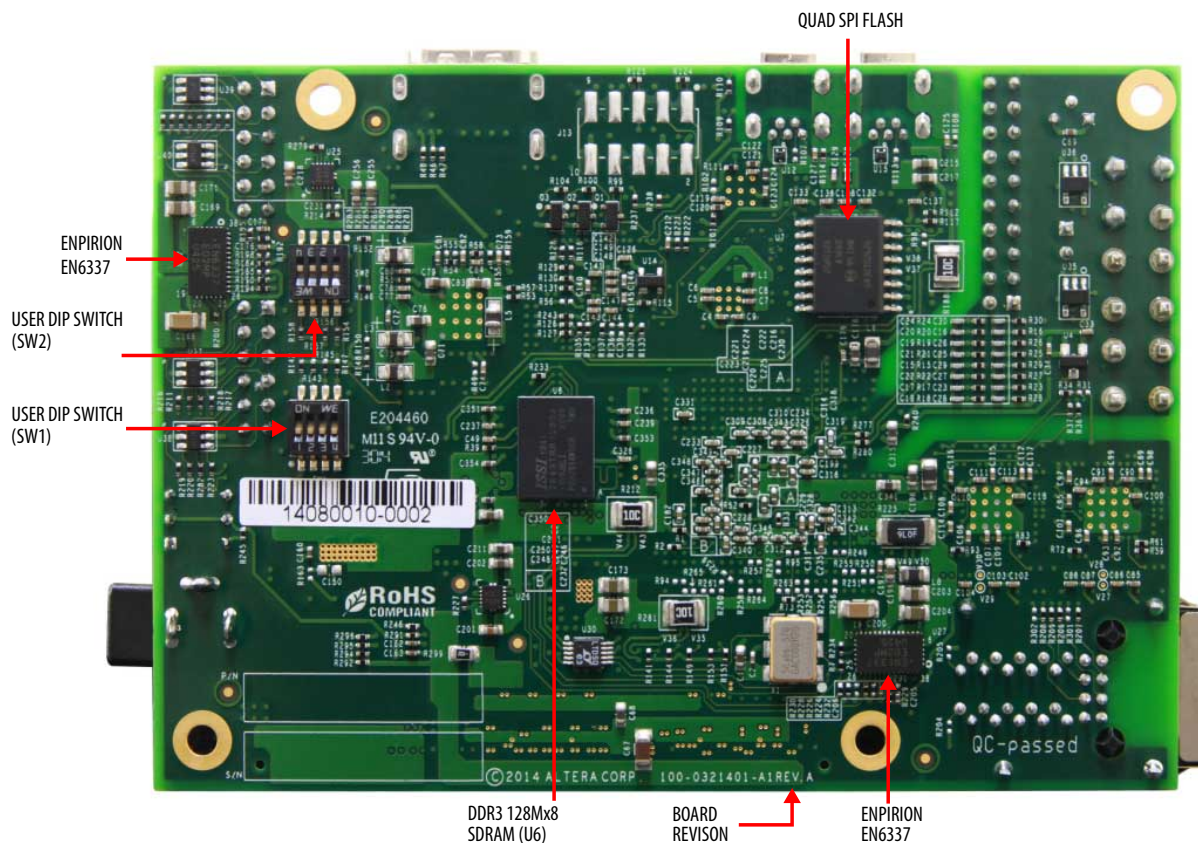
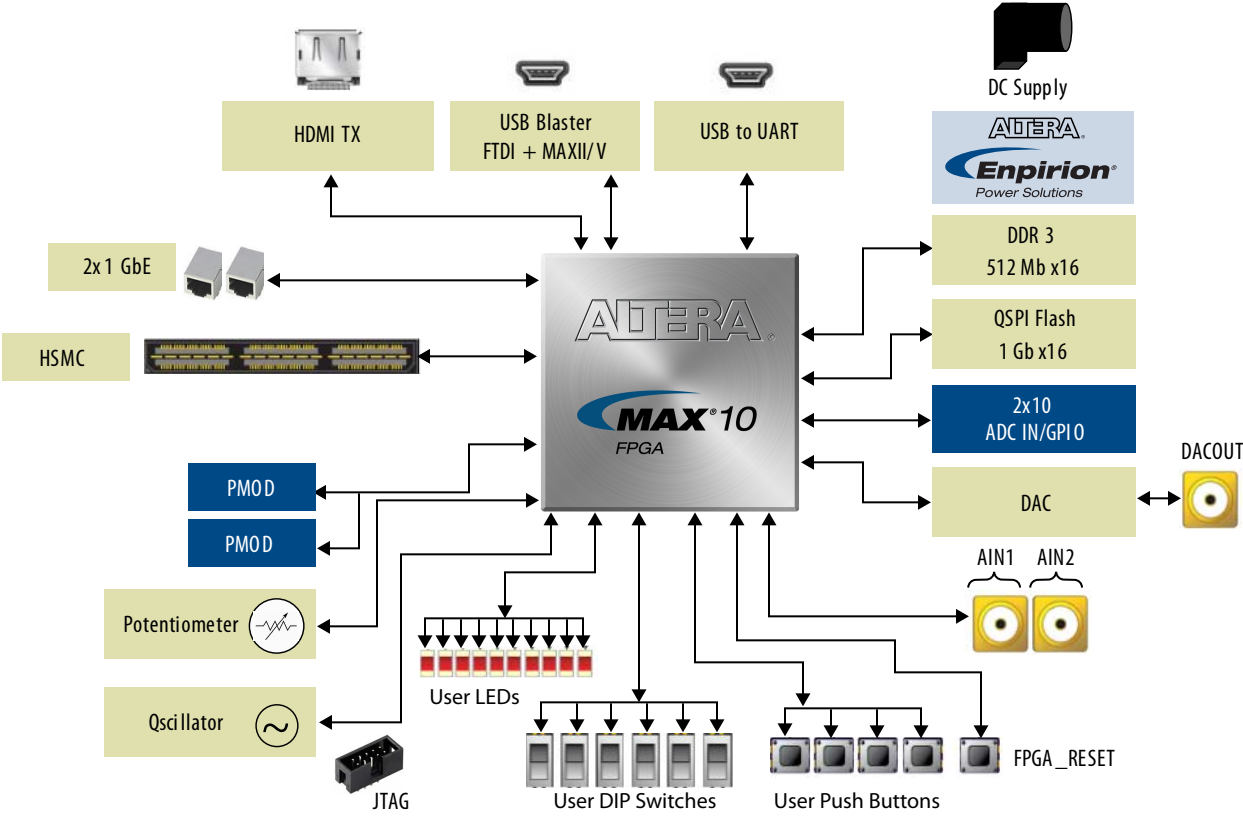


图 1-3: 系统结构图



处理电路板

处理电路板时，一定要遵循下面的静电放电预防措施。

警告： 若不进行正确的防静电处理，能够损坏电路板。因此，在接触电路板时要采用防静电措施。

警告： 不应在振动环境中操作此开发套件。

2017.09.07

UG-01169



订阅



反馈

Quartus II 网络版软件

Quartus II Web Edition Software 是免费的，无需许可。

您可以从 Altera 网站下载 Web Edition 软件，或者可以申请一张 DVD。

相关链接

- [Quartus II 网络版软件](#)
- [Altera IP 和软件 DVD 申请表](#)
- [Altera Quartus II 软-订阅版 vs.网络版](#)

安装开发套件

1. 从 Altera 网站的 MAX 10 FPGA Development Kit 页面下载 MAX 10 Development Kit 安装程序。或者，您可以从 Altera 网站的 Altera Kit Installations DVD Request Form 页面申请一张开发套件 DVD。
2. 运行 MAX 10 FPGA Development Kit 安装程序。
3. 按照屏幕上的指示来完成安装过程。要确保您所选择的安装目录与 Quartus II 软件的安装在同一相对位置。

安装程序会创建如下图所示的开发套件目录结构。

注意： BTS GUI 使用 .sof 文件来配置 MAX 10 器件和进行相应的测试。因此，请不要将 .sof 文件从 *\\examples\\board_test_system 目录中移除。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2015
Registered

ALTERA
now part of Intel

图 2-1: 安装的开发套件目录结构

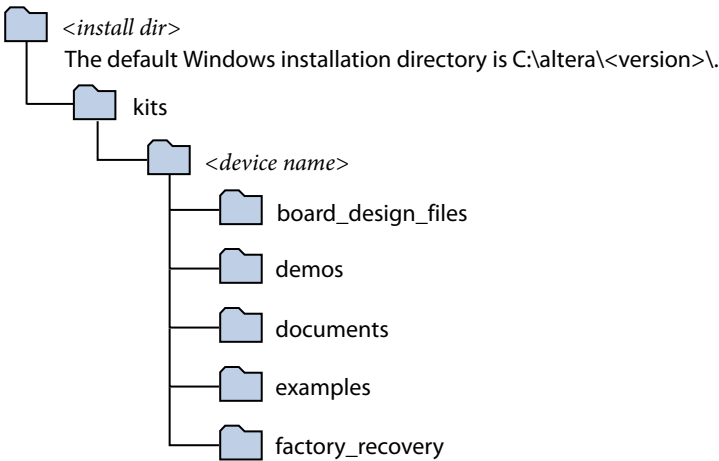


表 2-1: 安装的目录内容

目录名称	目录描述
board_design_files	包含原理图、布局、装配和材料电路板设计文件清单。使用这些文件作为一个新的原型电路板设计的起点。
demos	包含演示应用程序。
documents	包含以下文档： - MAX 10 FPGA 开发套件用户指南 - 快速入门指南 - 尊敬的客户信函
examples	包含此套件的样本设计文件。
factory_recovery	包含出厂前编程到电路板上的原始数据。使用此数据将电路板恢复到原始出厂内容。

安装 USB-Blaster 驱动程序

开发板包括用于 FPGA 编程的集成 USB-Blaster 电路。然而，要想主机和电路板进行通信，则必须在您的主机上安装板载 USB-Blaster II 驱动程序。

板载 USB-Blaster II 驱动程序的安装向导在 Altera 网站上可以找到。在 Altera 网站上的 Altera Programming Cable Driver 信息页面上找到您的配置表项，然后点击链接访问安装指南。

电路板更新门户(Board Update Portal)

您可以通过访问 www.altera.com 上的 Board Update Portal 来使您的电路板保持最新状态。

此网站使您能够访问有用的信息，并更新电路板的软件和设计实例。有关设置电路板来访问 Board Update Portal 的说明，请参考开发套件箱中包含的印刷版 *Quick Start Guide*。

2017.09.07

UG-01169



订阅



反馈

此套件包括一个名为 Board Test System (BTS) 的应用程序。

BTS 提供一个简单易用的接口，用于改变功能设置和观察结果。BTS 可用于测试电路板组件，修改功能参数，观察性能和测量功耗。使用 BTS 时，您可以使用针对被测试功能的测试设计对 FPGA 重配置几次。

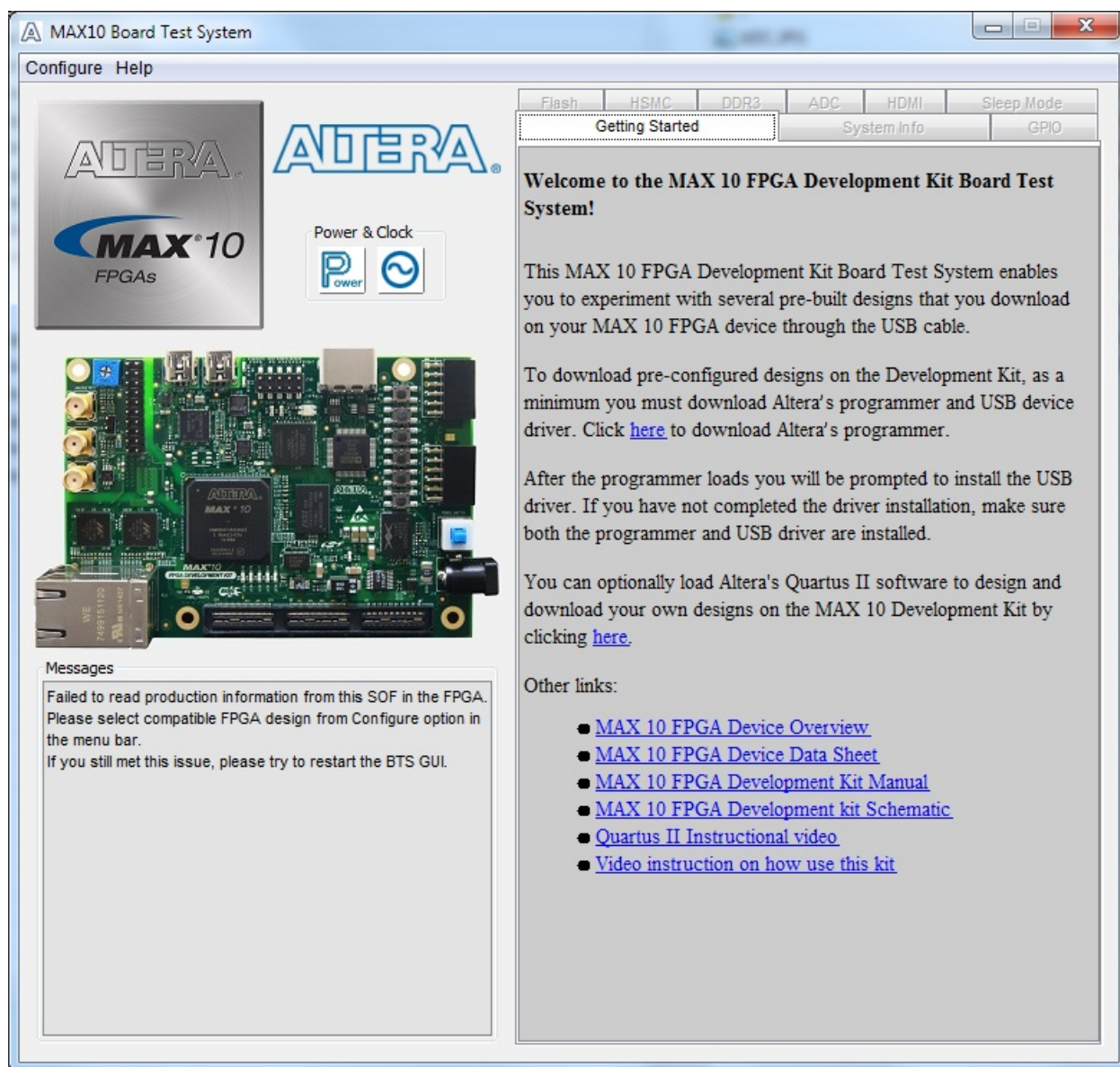
Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2015
Registered

ALTERA
now part of Intel

图 3-1: 电路板测试系统 GUI



提供几个设计以测试主要的电路板特性。每个设计对应用程序中的一个或多个选项卡提供数据。Configure 菜单对每个选项卡显示要下载到 FPGA 的相应设计。

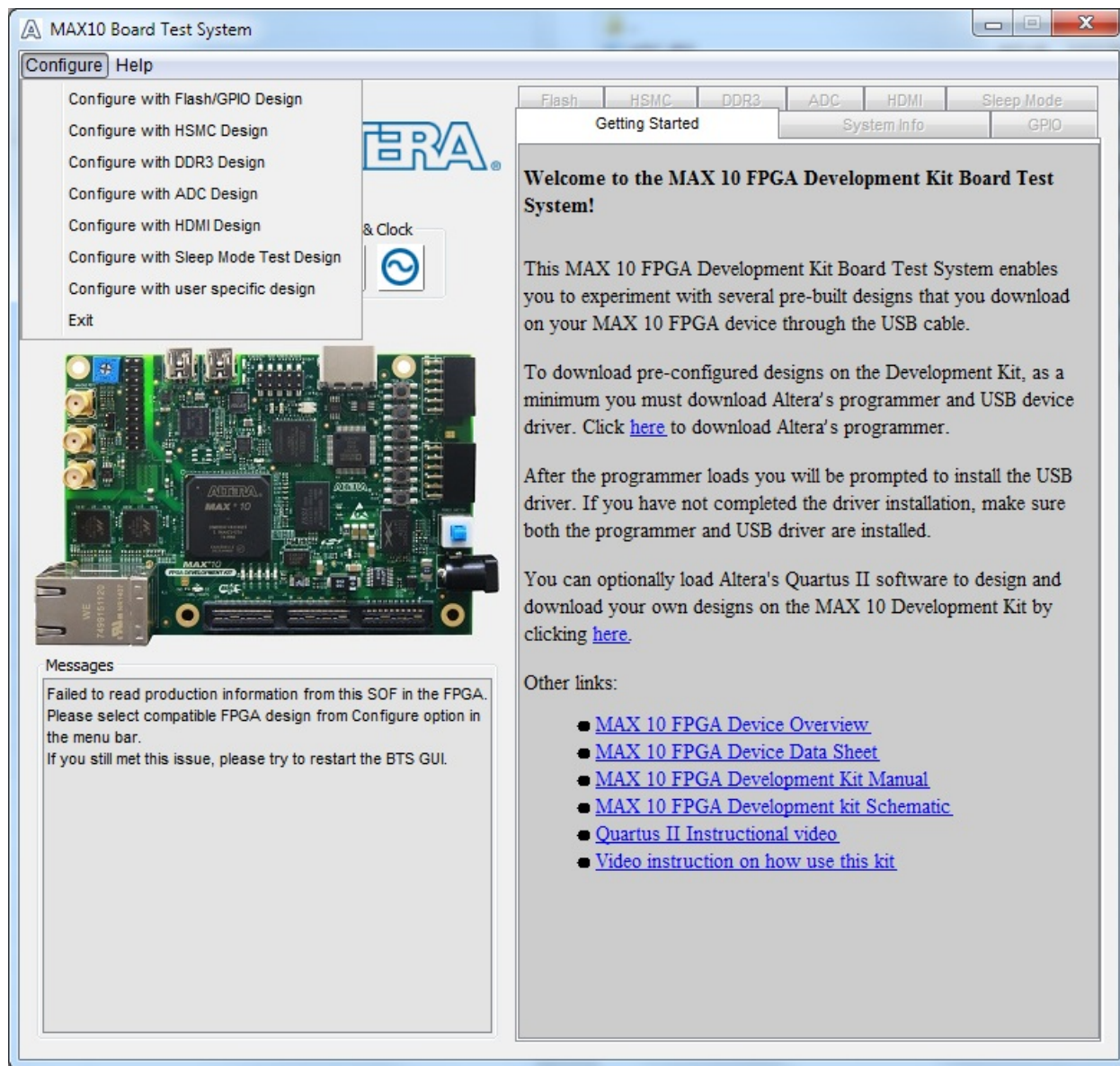
FPGA 成功配置后，出现相应选项卡，使您能够使用相关电路板特性。在电路板图片中相应组件周围会高亮显示。

BTS 通过 JTAG 总线与 FPGA 中运行的测试设计进行通信。Board Test System 和 Power Monitor 与诸如 Nios II debugger 和 SignalTap® II Embedded Logic Analyzer 的其他应用程序共享 JTAG 总线。由于 Quartus II programmer 使用 JTAG 总线的绝大部分带宽，因此使用 JTAG 总线的其他应用程序可能会超时。使用 Quartus II Programmer 重配置 FPGA 之前，一定要关闭所有其他应用程序。

使用 Configure 菜单

使用 Configure 菜单选择您想要使用的设计。每个设计实例 测试不同的电路板功能。从此菜单中选择一个设计，然后相应的选项卡会变成活动的，可用于测试。

图 3-2: Configure 菜单



请按照下面步骤配置带测试系统设计的 FPGA：

1. 在 **Configure** 菜单上，点击对应于需要测试的功能的配置命令。
2. 在出现的对话框中，点击 **Configure** 将相应的设计下载到 FPGA 中。
3. 当配置完成时，如果 **Quartus II Programmer** 是打开的，那么要将其关闭。设计开始在 FPGA 中运行。与设计连接的相应 GUI 应用程序选项卡现在已使能。

如果使用 **Quartus II Programmer** 进行配置，而不是 **Board Test System GUI**，那么需要重启 GUI。

System Info 选项卡

System Info 选项卡显示了电路板的当前配置。此选项卡显示了 JTAG 链，电路板的 MAC 地址，Qsys 存储器映射和存储在电路板上的其他详细信息。

图 3-3: System Info 选项卡



表 3-1: System Info 选项卡上的控制

控制	说明
Board Information Controls	GPIO 设计一旦被配置，电路板信息就会更新。否则，此控制显示关于电路板的默认静态信息。
Board Name	显示由 Board Test System 命名的电路板正式名称。
Board P/N	显示电路板的部品编号。
Serial Number	显示电路板的序列号。
Factory Test Version	显示当前运行在电路板上的 Board Test System 的版本。
MAX Version	显示当前运行在电路板上的 MAX 代码的版本。
Ethernet A MAC	显示电路板的 Ethernet A MAC 地址。
Ethernet B MAC	显示电路板的 Ethernet B MAC 地址。
JTAG Chain	显示当前 JTAG 链中的所有器件。
Qsys Memory Map	显示您的电路板上的 Qsys 系统的存储器映射。

GPIO 选项卡

GPIO 选项卡使您能够与电路板上的所有通用用户 I/O 组件进行交互。您可以读取 DIP 开关设置，开启或关闭 LED，检测按钮是否按下。

图 3-4: GPIO 选项卡



表 3-2: GPIO 选项卡上的控制

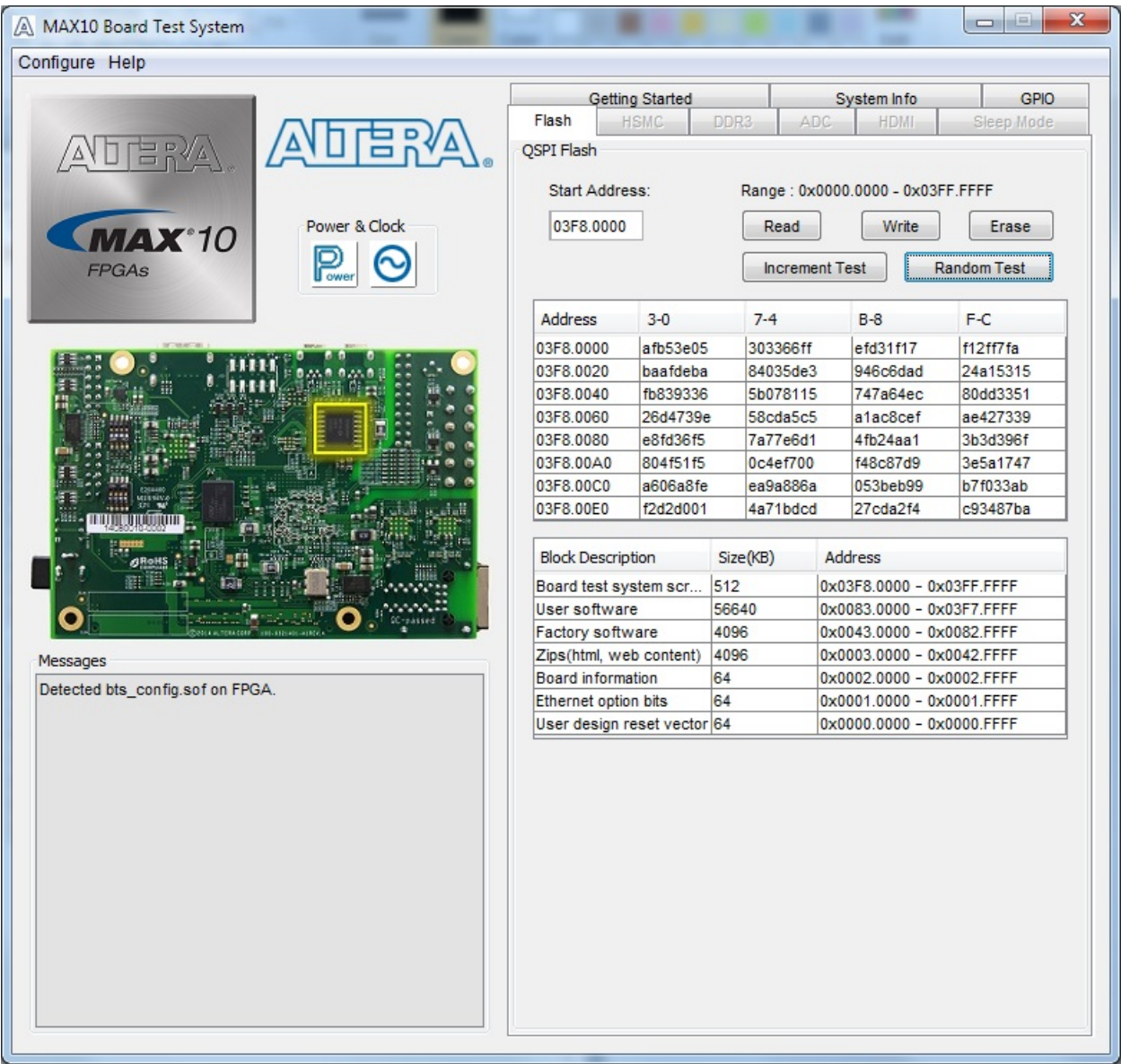
User DIP Switch	显示 user DIP switch bank 中的开关的当前位置。改变电路板上的开关以观察相应的图形显示变化。
-----------------	--

User LEDs	显示 FPGA 的 user LED 的当前状态。要翻转电路板 LED，需要点击 0 到 4 按钮来翻转红色或绿色 LED，或者点击 All 按钮。
Push Button Switches	只读控制显示电路板用户按钮的当前状态。按下电路板上的一个按钮来观察相应的图形显示变化。

Flash 选项卡

Flash Tab 使您能够对电路板上的闪存进行读写操作。

图 3-5: Flash 选项卡



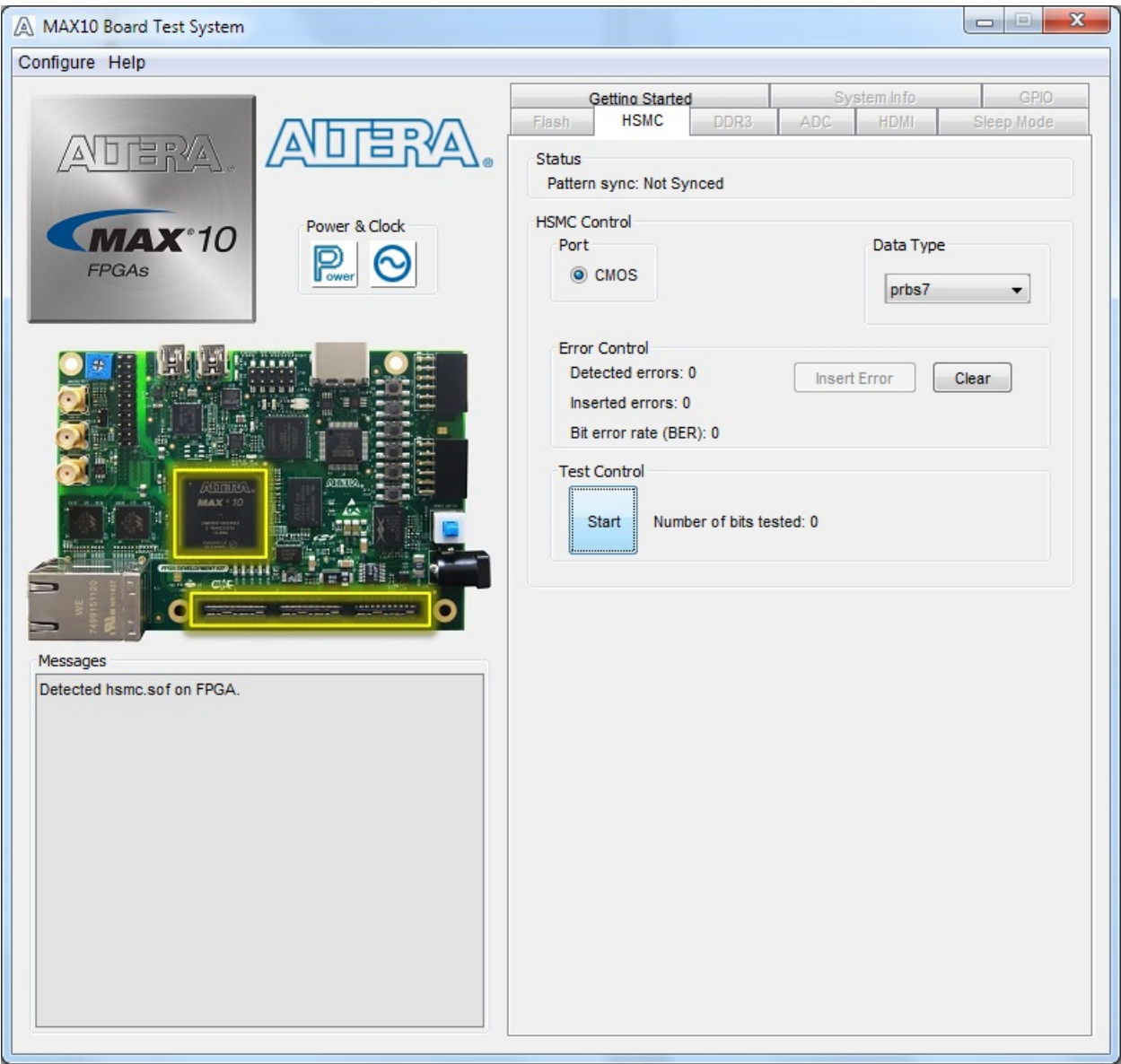
控制	说明
Read	读取电路板上的闪存。要查看闪存内容，请在文本框中键入一个起始地址，然后单击 Read。开始于指定地址的值出现在表中。

控制	说明
Write	写入电路板上的闪存。要更新闪存内容，需要修改表中的值，然后点击 Write 。应用程序将新值写入到闪存中，然后读回此值以保证图形显示准确地反映存储器内容。
Erase	擦除闪存。
Increment Test	启动对闪存的增量数据模式测试，限于 512 K 测试系统的页面。
Random Test	启动对闪存的随机数据模式测试，限于 512 K 测试系统的页面。
Flash Memory Map	显示开发板的闪存映射。

HSMC 选项卡

HSMC Tab 用于测试 CMOS 端口。

图 3-6: HSMC 选项卡



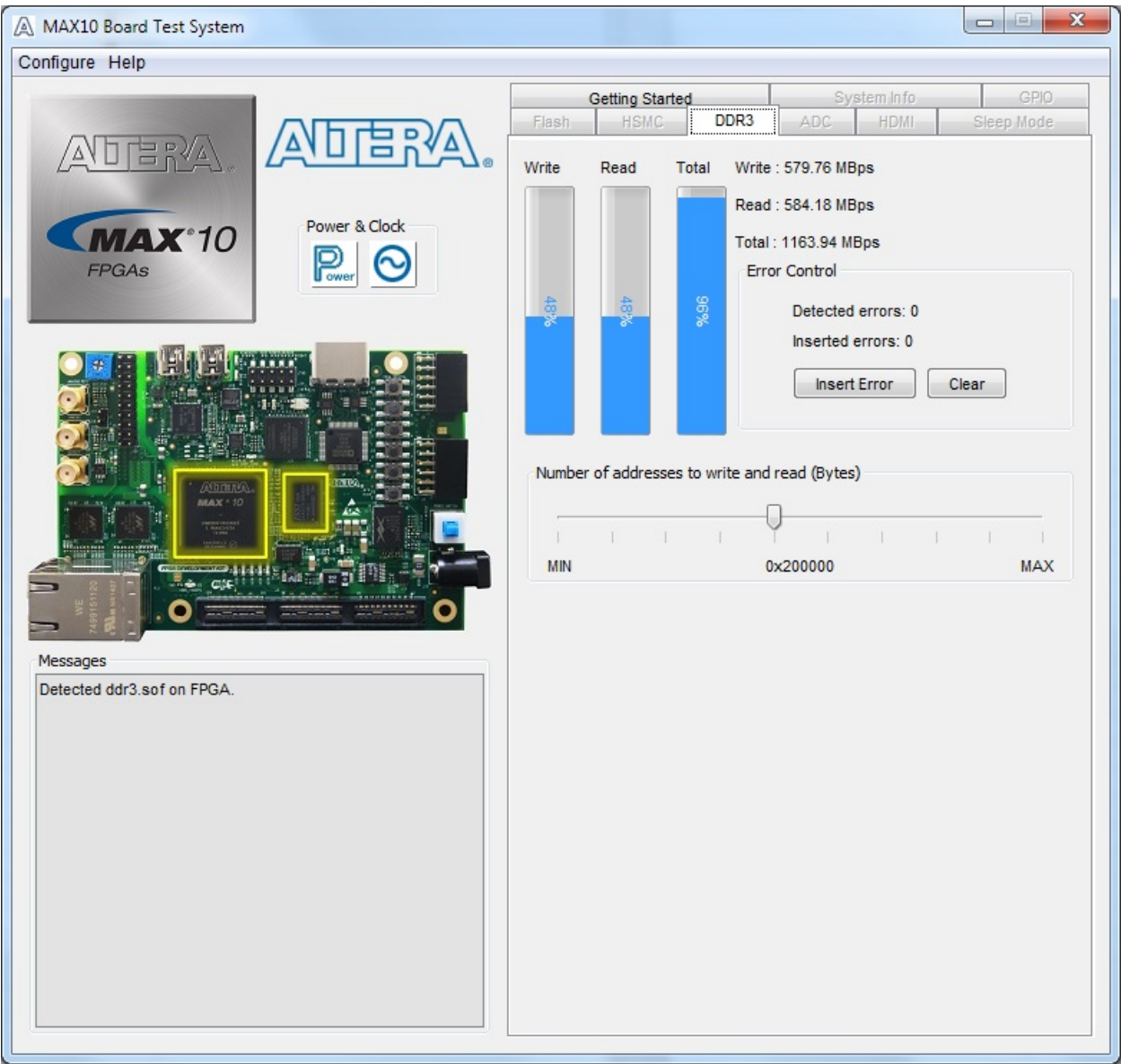
控制	说明
Status	Pattern sync: 显示码型同步或未同步状态。当检测到数据序列的起始部分，码型应该是同步的。
Port	CMOS: CMOS 端口可用于测试。

控制	说明
Data Type	以下数据类型可用于分析： • prbs7：选择伪随机 7 位序列。 • prbs15：选择伪随机的 15 位序列。 • prbs23：选择伪随机的 23 位序列。 • prbs31：选择伪随机的 31 位序列。 • high_frequency：除以数据模式(data pattern)。 • low_frequency：除以数据模式(data pattern)。
Error Control	• Detected errors：显示在硬件中检测到的数据错误数。 • Inserted errors：显示插入到发送数据流中的错误的数量。 • Bit error rate (BER)：显示接口的误码率 • Insert Error：每次点击按钮插入一个字错误(one-word error)到发送数据流中。 • Clear：将 Detected errors 和 Inserted errors 计数器复位成零。
Test Control	• Stop：复位测试。 • Number of bits tested：显示上一次复位后测试的比特数。

DDR3 选项卡

DDR3 Tab 使您能够通过读取和写入选定数量的地址来测试 DDR3。

图 3-7: DDR3 选项卡

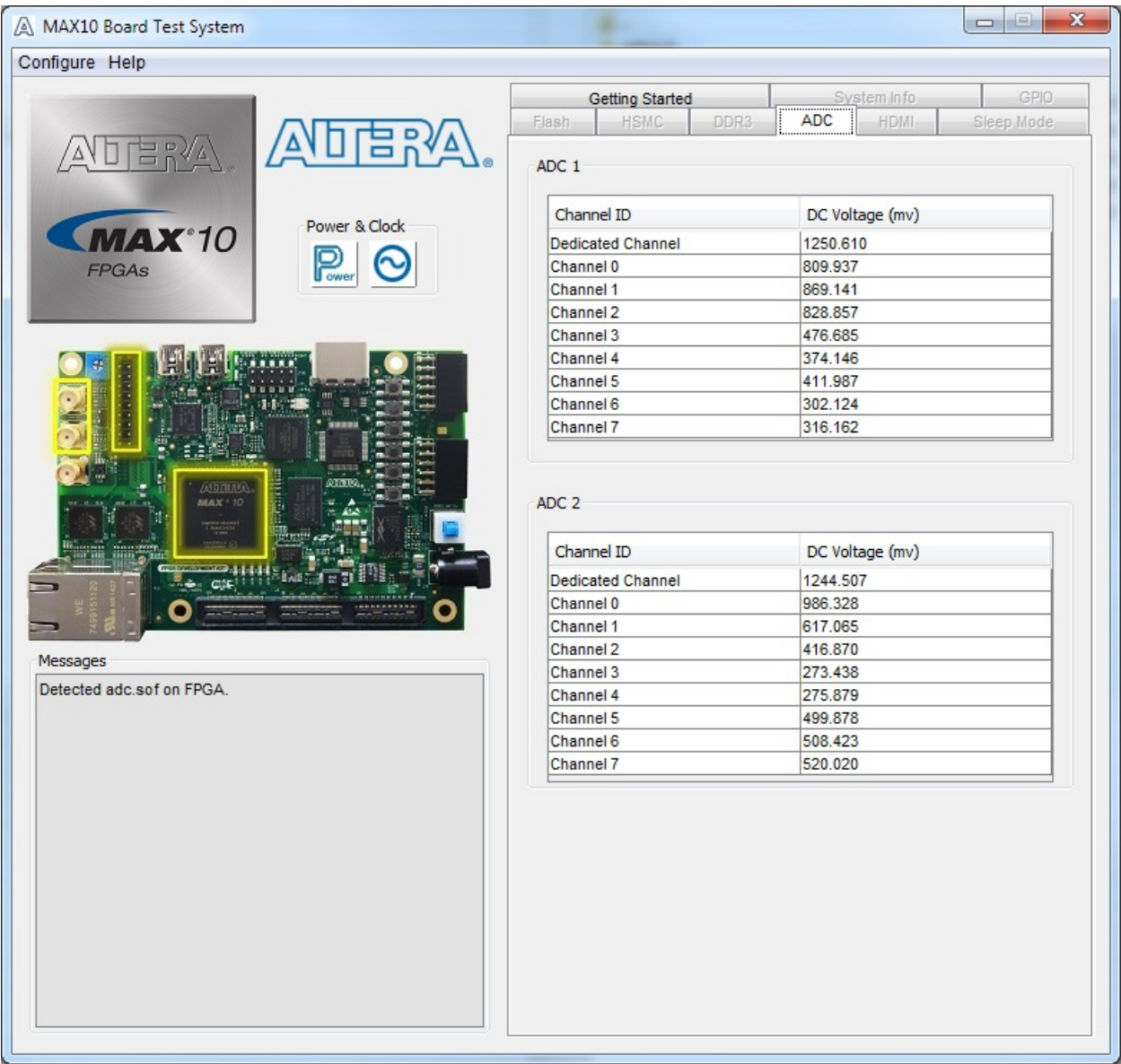


控制	说明
Performance Indicators	这些控制显示您上一次点击 Start 后搜集的当前传输性能分析信息: • Write, Read 和 Total 性能进度条—显示请求传输所能达到的最大理论数据速率的百分比。 • Write (MBps), Read (MBps) 和 Total (MBps)—显示每秒分析的数据字节数。 • Data bus: 72 比特(8 比特 ECC)宽, 频率为 1066 MHz 双倍数据速率。每个管脚 2133 Megabits per second (Mbps)。等同于 136512 Mbps 或 17064 MBps 的理论最大带宽。
Error Control	显示分析过程中检测到的数据错误, 并且使您能够插入错误: • Detected errors—显示在硬件中检测到的数据错误的数量。 • Inserted errors—显示插入到发送数据流中的错误的数量。 • Insert Error—每次点击按钮插入一个字错误(one-word error)到发送数据流中。Insert Error 仅在传输性能分析期间使能。 • Clear—复位清零 Detected errors 和 Inserted errors 计数器。
Number of Addresses to Write and Read	决定在每次读写迭代中使用的地址数。

ADC 选项卡

ADC Tab (模拟到数字)显示所有 ADC 输入通道的实时电压值。

图 3-8: ADC 选项卡



此选项卡上显示的两个表格(ADC 1 和 ADC 2)是不可编辑的。下表显示了通道连接的位置。

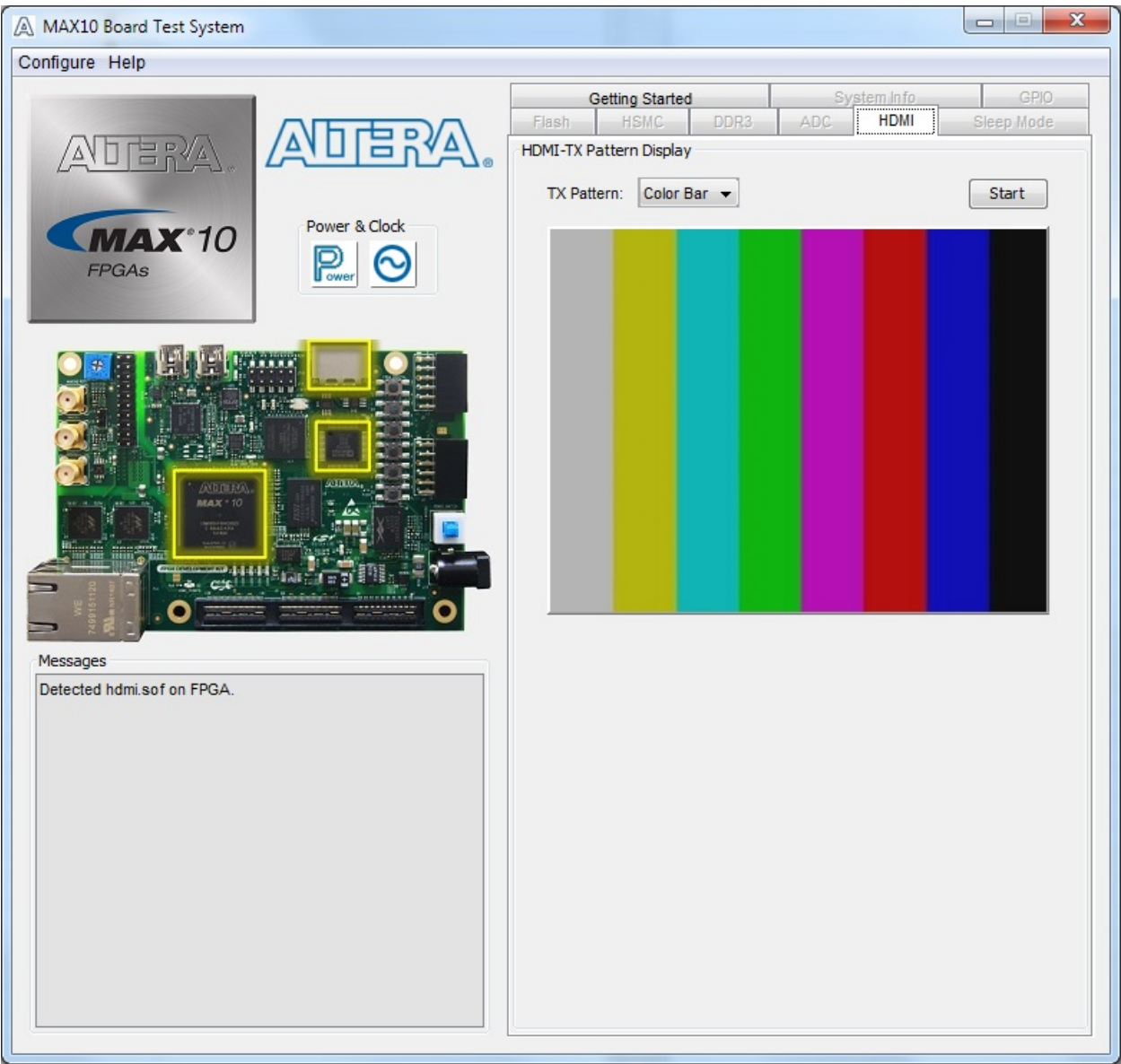
专用通道	SMA 连接器
ADC 1	ANAIN1_SMA(J18)
Channel0	ADC1_CH0(J20.1)
Channel1	ADC1_CH1(J20.3)
Channel2	ADC1_CH2(J20.5)
Channel3	ADC1_CH2(J20.7)
Channel4	ADC1_CH4(J20.11)
Channel5	ADC1_CH4(J20.13)
Channel6	ADC1_CH6(J20.15 or POT1)
Channel7	ADC1_CH7(J20.17)

专用通道	SMA 连接器
ADC 2	ANAIN2_SMA(J19)
Channel0	ADC1_CH0(J20.2)
Channel1	ADC1_CH1(J20.4)
Channel2	ADC1_CH2(J20.6)
Channel3	ADC1_CH2(J20.8)
Channel4	ADC1_CH4(J20.12)
Channel5	ADC1_CH4(J20.14)
Channel6	ADC1_CH6(J20.16)
Channel7	ADC1_CH7(J20.18)

HDMI 选项卡

此选项卡显示来自高分辨率多媒体接口(HDMI)的发送器颜色条图案。

图 3-9: HDMI 选项卡



控制	说明
TX Pattern	Color Bar : 使用此控制来选择 TX 码型(TX pattern)。可选择红色，蓝色，绿色，白色和黑色。如果选择 Start 按钮，那么会立即显示 TX 码型。
Start	点击此按钮后，显示(从 Color Bar)所选的 TX 码型。

Sleep Mode 选项卡

此选项卡用于对电源管理控制器的睡眠模式方面进行测试。

图 3-10: Sleep Mode 选项卡(截取视图)



控制	说明
running (/sleeping)	此控制显示睡眠或运行时的模式状态，不是互动的。
Note	此控制显示与睡眠模式相关的电路板 LED 事件。

相关链接

[MAX 10 电源管理用户指南](#)

提供睡眠模式的详细信息。

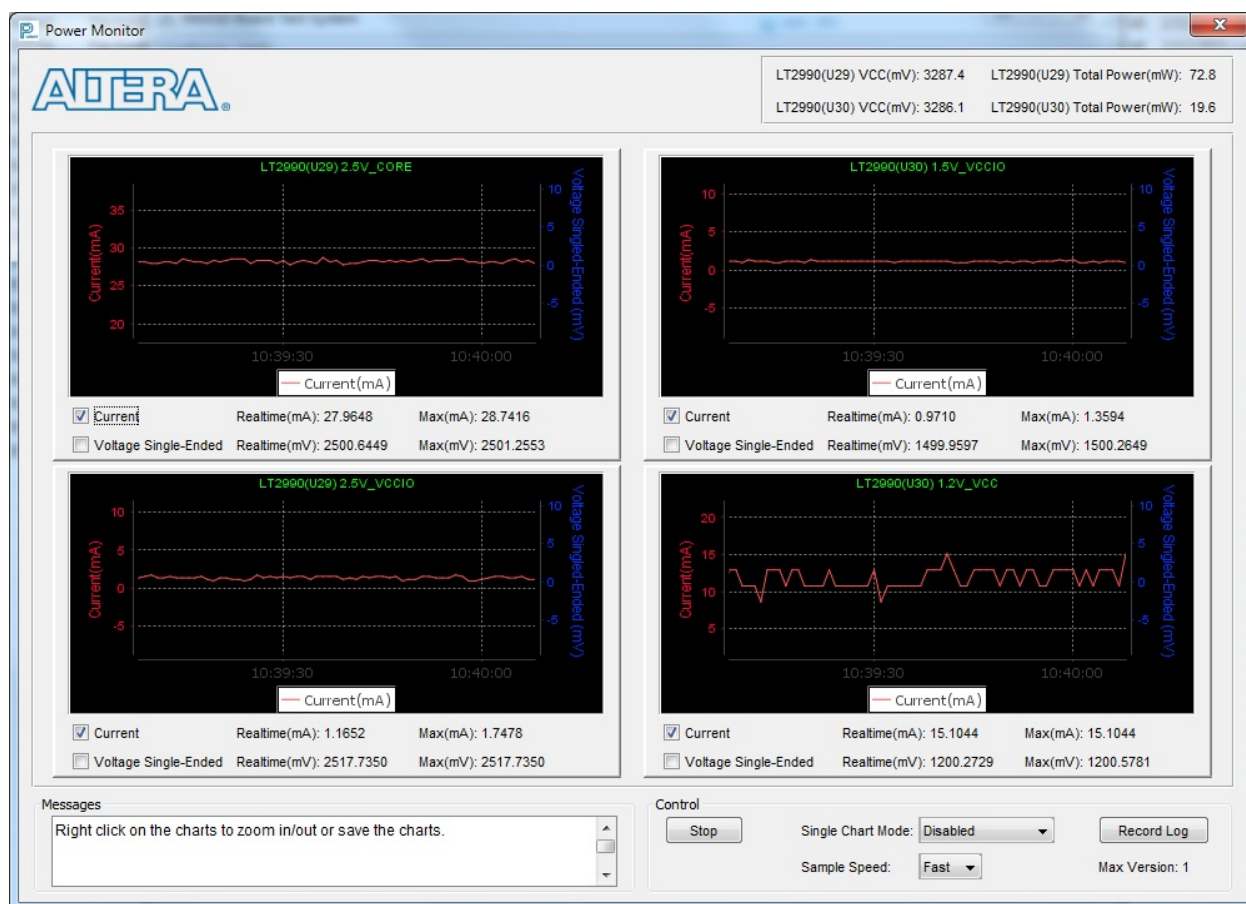
功耗监视器(Power Monitor)

Power Monitor 测量和报告当前的功耗信息，并通过 JTAG 总线与电路板上的 MAX II 器件进行通信。MAX II 器件附带的功耗监控电路使您能够测量 FPGA 消耗的功率。

点击 Board Test System 应用程序中的 Power Monitor 图标来运行程序。Power Monitor 也可以作为一个独立的应用程序运行。PowerMonitor(32-bit.exe)和 PowerMonitor(64-bit.exe)位于 <install_dir>\kits\<device_name>\examples\board_test_system 目录下。

注意： 您不能同时运行独立的功耗监控程序和 BTS 程序。

图 3-11: 功耗监视器(Power Monitor)



此窗口显示 LTC2990 电流和温度监视器。左侧上下象限显示 U29，右侧上下象限显示 U30。使用可用的控制来显示 **Current** 或者 **Voltage Single-Ended**，或者两者。

Single Chart Mode 使您能够选择如何显示窗格。如果需要，可以仅显示一个大窗格。

Voltage Single-Ended 显示每个电源轨的电压值：

- 2.5 V_{CORE}
- 2.5 V_{VCCIO}
- 1.5 V_{VCCIO}
- 1.2 V_{VCC}

Single-ended 仅显示 SENSE_P 的电压。

LT2990 还显示采样电阻 SENSE_P 和 SENSE_N 的差分电压值。

Sample Speed 使您能够选择 5 秒的 **Slow**，或者 1 秒的 **Fast**(默认)。

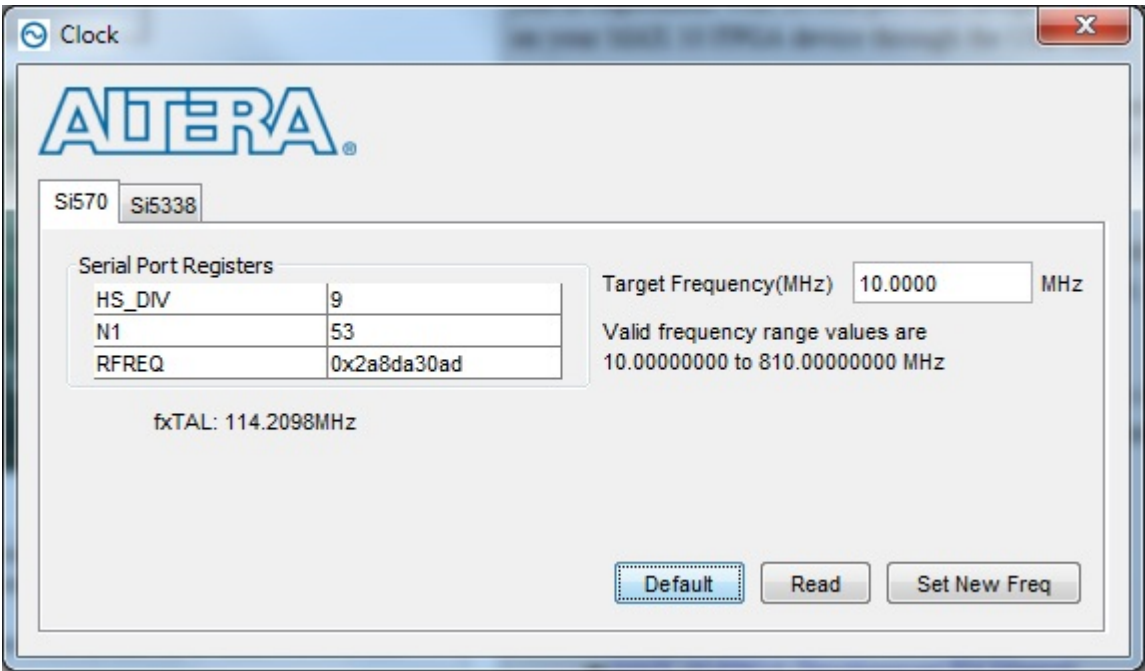
Record Log 将逗号分隔值(CSV)格式文件 `ltc2990.csv` 保存在 `*\examples\board_test_system` 目录下。

时钟控制

MAX 10 FPGA 开发板 Clock Control 应用将可编程振荡器设置成 10 MHz 到 810 MHz 之间的任意频率。频率精确到十进制小数点后八位。

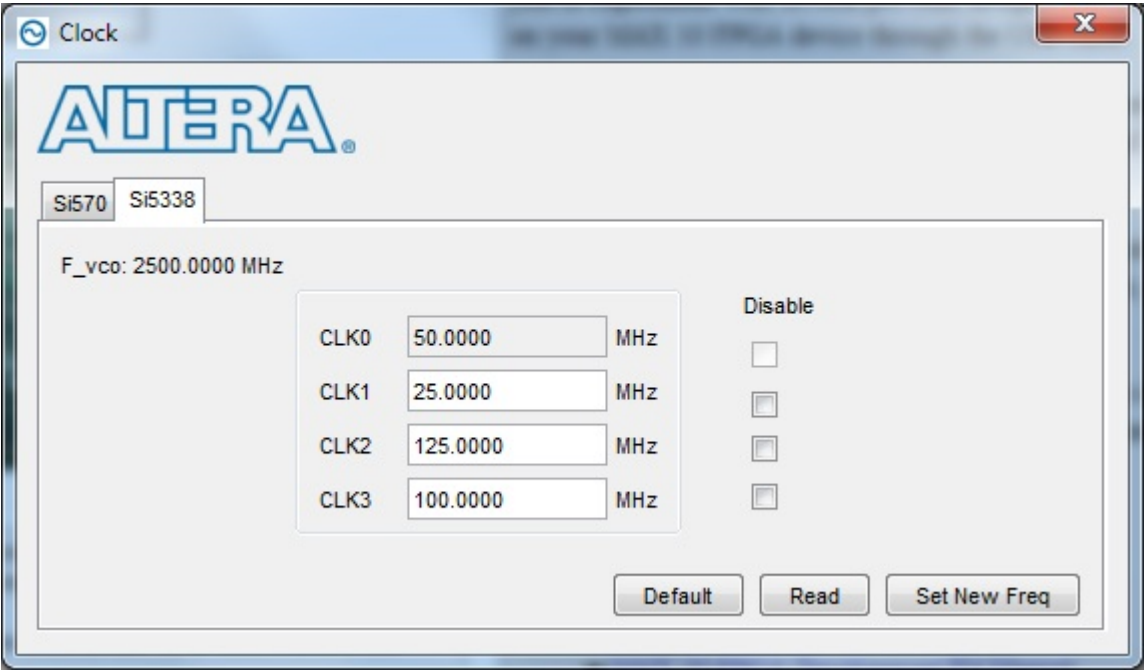
Clock Control 通过 JTAG 总线与电路板上的 MAX II 器件进行通信。可编程振荡器通过一条 2 线串行总线连接到 MAX II 器件。

图 3-12: Si570 选项卡



控制	说明
Serial Port Registers	显示用于配置的 Si570 寄存器的电流值。
Target frequency (MHZ)	用于指定时钟的频率。合法值在 10 在 810 MHz 之间，频率精确到十进制小数点后八位。例如，421.31259873 在 100 ppm 内是可能的。 Target frequency 控制与 Set New Freq 控制一起使用。
fxTAL	根据串口寄存器的值显示计算得到的内部固定频率晶振。
Default	将与活动选项卡相关联的振荡器的频率设回其默认值，也可通过电路板循环上电完成。
Read	读取与活动选项卡相关联的振荡器的当前频率设置。
Set New Freq	将所选时钟的可编程振荡器频率设置成可编程振荡器的 Target frequency 控制中的值。频率改变可能需要几毫秒才能生效，这期间您可能会看到时钟上的毛刺。Altera 建议改变频率后要复位 FPGA 逻辑。

图 3-13: Si5338 选项卡



控制	说明
F_vco	显示压控振荡器的生成信号值。
Registers	显示每个振荡器的当前频率。
Frequency (MHz)	指定时钟的频率。
Disable	根据需要禁用每个振荡器。
Read	读取与活动选项卡相关联的振荡器的当前频率设置。
Default	将与活动选项卡相关联的振荡器的频率设回其默认值，也可通过电路板循环上电完成。
Set New Freq	将所选时钟的可编程振荡器频率设置成 CLK0 到 CLK3 控制中的值。频率改变可能需要几毫秒才能生效，这期间您可能会看到时钟上的毛刺。Altera 建议改变频率后要复位 FPGA 逻辑。 注意: 更改 Si5338 的 CLK0 将会影响 Clock/Power GUI。一个来自端口 CLK0 的时钟用于驱动 MAX II 器件，作为连接到 SI570, Si5338 和电源监控器的一条 2 线串行总线接口。

2017.09.07

UG-01169



订阅



反馈

本章节对开发板上所有重要的组件作了介绍。

开发板的一整套原理图，物理布局数据库和 GERBER 文件都位于开发板套件文件目录中。

电路板概述

本主题提供了 MAX 10 FPGA 开发板的主要组件的高级列表。

表 4-1: MAX 10 FPGA 电路板组件

电路板参考	类型	说明
特性器件		
U1	FPGA	MAX MAX 10 FPGA 10M50DAF484C6GES, 50K LEs, F484 封装。
U13	CPLD	板载 USB- Blaster II 的 MAX II EPM1270 256-MBGA, 2.5 V/3.3 V, VCCINT。
U17	功率调节器(Power Regulator)	Enpirion® EN2342QI, 集成电感的 PowerSoC 电压模式同步降压转换器。
U22, U23, U27	功率调节器(Power Regulator)	Enpirion EN6337QI, 集成电感的 PowerSoC DC-DC 降压转换器。
U26	功率调节器(Power Regulator)	Enpirion EP5358LUI, 集成电感的 600 mA PowerSoC DC-DC 降压转换器。
U24, U25	功率调节器(Power Regulator)	Enpirion EP5358HUI, 集成电感的 600 mA PowerSoC DC-DC 降压转换器。
配置和设置单元		
J12	板载(嵌入式) USB-Blaster Blaster II	Type-B USB 连接器，用于编程和调试 FPGA。
J14	10-pin header	可选的 JTAG 通孔 10-pin header，用于外部下载电缆。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2015
Registered

ALTERA
now part of Intel

电路板参考	类型	说明
J20	2x10-pin header	16 个复用 ADC 通道连接到 2x10 header。
SW2	DIP 配置和用户开关	SW2 包括用于控制引导映像，JTAG 旁路和 HSMC 旁路的开关。
J7	MAX 10 ADC 的跳线	连接电位器，为 ADC 提供可调电压。
S5	Pulse_nconfig 按钮	仿真脉冲 nCONFIG 管脚为低电平以触发重配置(即使物理管脚没有受到影响)。
S6	CPU 复位按钮	FPGA 逻辑的默认复位。
状态单元		
D1	蓝色电源 LED	当出现 12-V 电源时亮起。
D2	绿色高速夹层卡(HSMC) LED	当出现 HSMC 时亮起。
D13, D14	绿色 USB-UART LED	当 USB-UART 发送器和接收器在使用中时亮起。
D20	配置完成 LED	当 FPGA 配置时亮起。
D21, D22, D23	电源 LED	表明成功上电 3.3 V，2.5 V，1.2 V。
时钟电路		
X1	ADC 的可编程时钟	ADC 的可编程振荡器，默认频率为 10 MHz
U2	可编程时钟	默认频率为 25, 50, 100, 125 MHz 的四通道可编程振荡器
一般用户输入/输出		
S1, S2, S3, S4	一般用户按钮	四个用户按钮。按下后被驱低。
D15, D16, D17, D18, D19	用户 LED	四个用户 LED。驱低时亮起。
SW1, SW2.1	用户 DIP 开关	Quad user DIP 开关
存储器件		
U5	DDR3 SDRAM A 存储器	64 Mx16.
U6	DDR3 SDRAM B 存储器	128 Mx8.
U7	Quad 串行外设接口(quad SPI) flash	512 Mb.
通信端口		
J2	HSMC 端口	根据 HSMC 规范提供 84 个 CMOS 或者 17 个 LVDS 通道。

电路板参考	类型	说明
U9, U10	两个千兆以太网端口 - Ethernet A (底部) - Ethernet B (顶部)	RJ-45 连接器，通过 Marvell 88E1111 x 2 PHY 提供 10/100/1000 Ethernet 连接和 RGMII 模式下基于 FPGA 的 Altera Triple Speed Ethernet MegaCore 功能。
J4, J5	两个 Diligent Pmod 连接器	带 8 个 I/O 信号管脚的 12 管脚接口，用于连接低频率，低 I/O 外设模块。
J11	Mini-USB 2.0 UART 端口	带 USB-to-UART 桥接的 USB 连接器，用于串行 UART 接口
J12	Mini-USB 端口	嵌入式 USB- Blaster II。
模拟		
J18, J19	SMA 输入	两个 FPGA 模拟到数字转换器(ADC)。
J20	Header	2x10 ADC.
POT1	电位器	ADC 的输入
J1	SMA 输出	外部 16 比特数字到模拟转换器(DAC)器件。
视频和显示端口		
U8	HDMI 视频输出	19-pin HDMI 连接器，通过 ADI (Analog Devices, Inc) PHY 提供高达 1080p 的 HDMI v1.4 视频输出。
电源		
J15	DC 输入插座	接受 12 V DC 电源
SW3	电源开关	当从 DC 输入插座供电时，切换到对电路板上电或断电。

特性器件

MAX 10 FPGA 开发板采用 484-pin FineLine BGA 封装中的 MAX 10 10M50DAF484C6GES 器件 (U1)。

表 4-2: MAX 10 FPGA 10M50DAF484C6GES 特性

ALM	等同的 LE	M9K 存储器 (Kb)	总 RAM (Kb)	18-bit x 18-bit 乘法器	PLL	收发器	封装类型
50,000	50	1,638	736	144	4	—	FineLine BGA 484 pins

配置

MAX 10 FPGA 开发套件支持两种配置方法：

- 通过将 **.sof** 文件下载到 FPGA 进行配置。如果对 FPGA 先断电再上电，或者进行重配置，则会将 FPGA 开启到空白状态。
- 通过 **.pof** 文件编程片上 FPGA Configuration Flash Memory (CFM)。如果对 FPGA 先断电再上电，或者进行重配置，则会使用 CFM 中存储的文件，将 FPGA 开启到自行配置模式。

您可以使用两种不同的 USB-Blaster™ 硬件组件来对 **.sof** 或 **.pof** 文件进行编程：

- 嵌入式 USB-Blaster II，B 类型连接器(J12)。
- JTAG header (J14).使用一个外部 USB-Blaster，USB-Blaster II 或者 Ethernet Blaster 下载电缆。外部下载电缆通过 JTAG header (J14)连接到电路板。

使用 Quartus II Programmer

您可以使用 Quartus II Programmer 通过 **.sof** 配置 FPGA。

配置 FPGA 之前：

- 要确保主机上安装了 Quartus II Programmer 和 USB-Blaster 驱动程序
- USB 电缆连接到套件
- 电路板电源已打开，且当前未运行使用 JTAG 链的应用程序

配置 MAX 10 FPGA：

1. 打开 Quartus II Programmer。
2. 单击 **Add File**，选择所需 **.sof** 的路径。
3. 对所添加的文件启用 **Program/Configure** 选项。
4. 单击 **Start** 将所选文件下载到 FPGA 中。当进度条达到 100%时，配置完成。

Quartus II Convert Programming File (CPF) GUI 能用于生成 **.sof** 文件，此文件可用于内部配置。可以使用下载电缆和 Quartus II software programmer 直接对 MAX 10 器件的闪存(包括配置闪存(CFM)和用户闪存(UFM))进行编程。

选择内部配置方案

对于除了 10M02 器件以外的所有 MAX 10 器件，总共有 5 种不同的模式可供选择内部配置。

内部配置方案需要在设计编译前进行选择。

选择配置模式：

1. 打开 Quartus II 软件并加载一个使用 MAX10 器件系列的工程。
2. 在 Assignments 菜单上，点击 **Settings**。出现 **Settings** 对话框。
3. 在 Category 列表中，选择 **Device**。出现 Device 页面。
4. 点击 **Device and Pin Options**。
5. 在 **Device and Pin Options** 对话框中，点击 **Configuration** 选项卡。

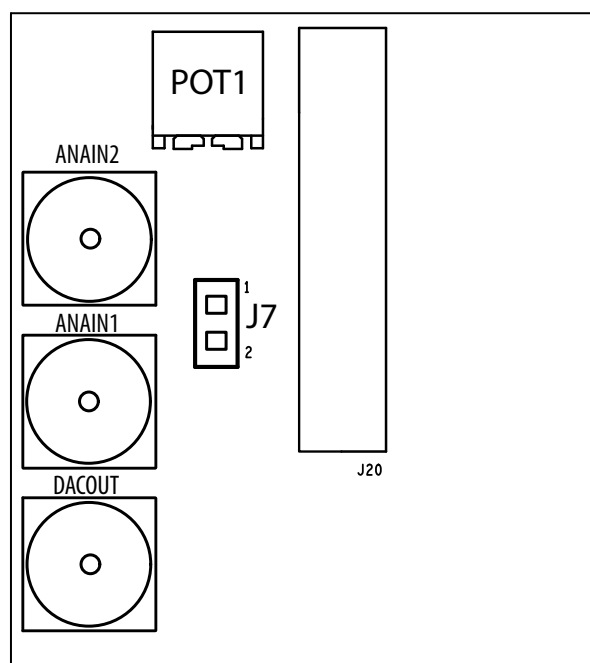
6. 在 **Configuration Scheme** 列表中，选择 **Internal Configuration**。
7. 在 **Configuration Mode** 列表中，从 5 种配置模式中选择 1 种配置模式。对于双引导功能：
 - a. 在设计中必须有一个 Dual Boot IP core，例如在 Qsys 组件中。
 - b. 对 **Configuration Mode** 选择 **Dual Compressed Images (512 Kbits UFM)**。
 - c. 生成两个 sof 文件，并将它们转换成一个 POF 文件，用于 CFM 编程。
8. 如果需要，开启 **Generate compressed bitstreams**，然后点击 **OK**。

开关和跳线设置

本主题针对 MAX 10 FPGA 开发套件。本主题介绍了如何恢复默认出厂设置并解释了其功能。

J7 跳线将电位器的输出(POT1.2)连接到 ADC1_CH6。J7 跳线开启时，通过 ADC1_CH6 可使用电位器对 MAX 10 ADC 提供可调电压(0~2.5 V)。当 J7 跳线关闭时，作为其他 ADC 通道，ADC1_CH6 连接到 2x10 header。

图 4-1: 电路板顶部的跳线 J7



电路板底部有两个开关。SW1 用于用户功能，SW2 用于引导选择和旁路某些组件。

图 4-2: 电路板底部的开关

当开关处于 ON，意味着 FUNCTION SIGNAL 连接到 GND。所以这是一个 LOGIC LOW (0)。当开关处于 OFF，意味着 FUNCTION SIGNAL 从 GND 断开。所以这是一个 LOGIC HIGH (1)。

注意: 下图显示了 Rev. C 电路板的开关标签和 Rev. B 电路板的注释。SW2.3 的名称变更只是一个名称变更，而不是功能变更。Rev. B 标识为 MAX10_BYPASS，但实际上是一个 VTAP 旁路。

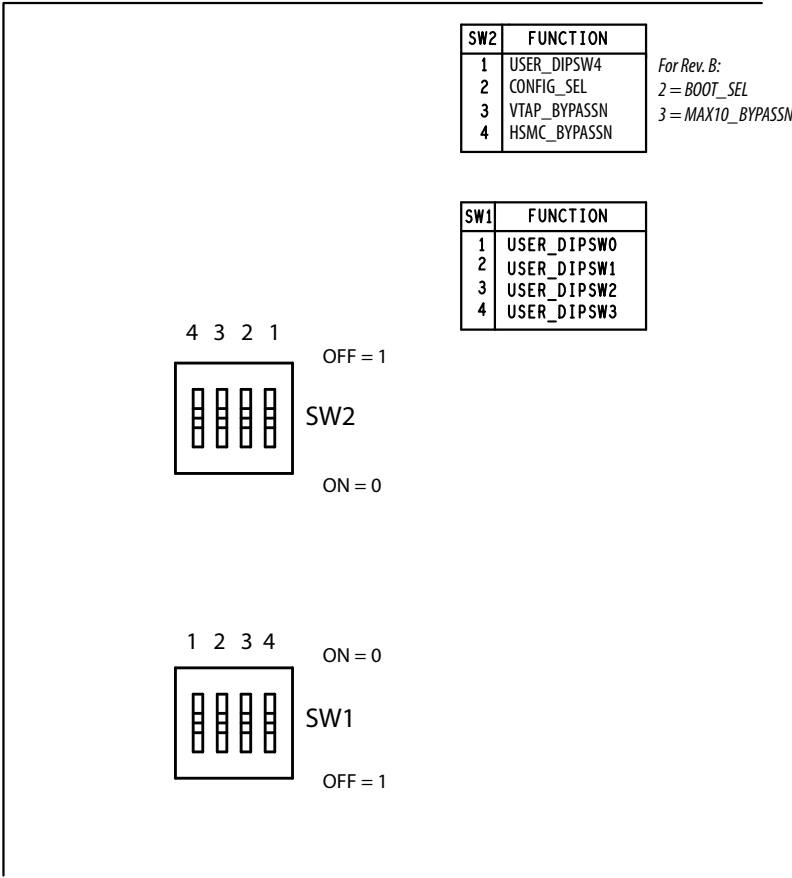


表 4-3: SW2 DIP 开关设置(电路板底部)

开关	电路板标签	功能	默认位置
1	USER_DIPSW4	用户定义的开关#4，#0/1/2/3 在 SW1 上。没有默认功能。	—
2	BOOT_SEL (for Rev. B Board) CONFIG_SEL (for Rev. C board)	使用此管脚选择 CFM0，CFM1 或 CFM2 映像作为双映像配置中的第一个引导映像。如果 CONFIG_SEL 设置为低电平，那么第一个引导映像是 CFM0 映像。如果 CONFIG_SEL 管脚设置位高电平，那么第一个引导映像是 CFM1 或者 CFM2 映像。此管脚在用户模式前和 nSTATUS 管脚被置位前读取。	LOW

开关	电路板标签	功能	默认位置
3	VTAP_BYPASSN	On-Board USB-Blaster II 中提供一个虚拟的 JTAG 器件，可对诊断硬件和电路板识别信息进行访问。此器件显示为 JTAG 链上的一个额外器件(ID: 020D10DD)。此开关将虚拟 JTAG 器件从 JTAG 链中删除。	HIGH
4	HSMC_BYPASSN	使用此管脚旁路 JTAG 链上的 HSMC。此信号的默认值为高电平，因此 HSMC 在 JTAG 链中。(然而，通常没有连接到 HSMC 的子卡，所以可能不会被 TAG master 检测到)。当它设为低电平时，HSMC 被旁路。	HIGH

状态单元

本主题列出了 MAX 10 FPGA 开发板的非用户状态单元。

表 4-4: 一般 LED 信号名称

电路板参考	信号名称	说明
D1	—	蓝色电源 LED
D2	HSMC_PRSENTn	绿色 LED
D13	UART_TXLED	USB 至 UART 的绿色 LED
D14	UART_RXLED	USB 至 UART 的绿色 LED

表 4-5: MAX II CPLD LED 信号名称

电路板参考	信号名称	I/O 标准	MAX II CPLD 管脚编号
D20	MAXII_CONF_DONE	3.3 V	W17
D21	3.3V_LED	3.3 V	U4
D22	2.5V_LED	3.3 V	U5
D23	1.2V_LED	3.3 V	U6

设置单元

表 4-6: 电路板设置 DIP 开关和跳线图解信号

电路板参考	信号名称	器件/管脚编号	I/O 标准
SW2.1	USER_DIPSW4	MAX 10 / H21	1.5 V
SW2.2	CONFIG_SEL	MAX 10 / H10	3.3 V
SW2.3	VTAP_BYPASSN	MAX II / P17	3.3 V
SW2.4	HSMC_BYPASSn	MAX II / P18	3.3 V
J7.1	—	POT1	2.5 V
J7.2	ADC1_CH6	2x10 Header / J20.15	2.5 V

表 4-7: 一般按钮信号名称

电路板参考	信号名称	MAX 10 FPGA 管脚编号	I/O 标准
S5	PULSE_NCONFIG	H9	3.3 V
S6	CPU_RESETh	D9	3.3 V

普通用户输入/输出

MAX 10 FPGA 开发板的用户定义的 I/O 信号名称，FPGA 管脚编号和 I/O 标准。

表 4-8: 用户定义的按钮信号名称

电路板参考	信号名称	MAX 10 FPGA 管脚编号	I/O 标准
S1	USER_PB0	L22	1.5 V
S2	USER_PB1	M21	1.5 V
S3	USER_PB2	M22	1.5 V
S4	USER_PB3	N21	1.5 V

表 4-9: 用户定义的 DIP 开关图解信号名称

电路板参考	信号名称	MAX 10 FPGA 管脚编号	I/O 标准
SW1.1	USER_DIPSW0	H21	1.5 V

电路板参考	信号名称	MAX 10 FPGA 管脚编号	I/O 标准
SW1.2	USER_DIPSW1	H22	1.5 V
SW1.3	USER_DIPSW2	J21	1.5 V
SW1.4	USER_DIPSW3	J22	1.5 V
SW2.1	USER_DIPSW4	G19	1.5 V

表 4-10: 用户 LED (绿色)图解信号名称

电路板参考	信号名称	MAX 10 FPGA 管脚编号	I/O 标准
D15	USER_LED0	T20	1.5 V
D16	USER_LED1	U22	1.5 V
D17	USER_LED2	U21	1.5 V
D18	USER_LED3	AA21	1.5 V
D19	USER_LED4	AA22	1.5 V

关于 MAX 10 Development Kit Baseline Pinout 设计，请浏览 Altera Design Store。

相关链接

[Altera Design Store \(MAX 10 Development Kit\)](#)

时钟电路

此开发板包括一个默认频率为 25-MHz，50-MHz，100-MHz，125-MHz 的四通道可编程振荡器。
此开发板还包括一个连接到 ADC 的 10-MHz 编程振荡器。

板载振荡器

图 4-3: MAX 10 FPGA 开发板时钟

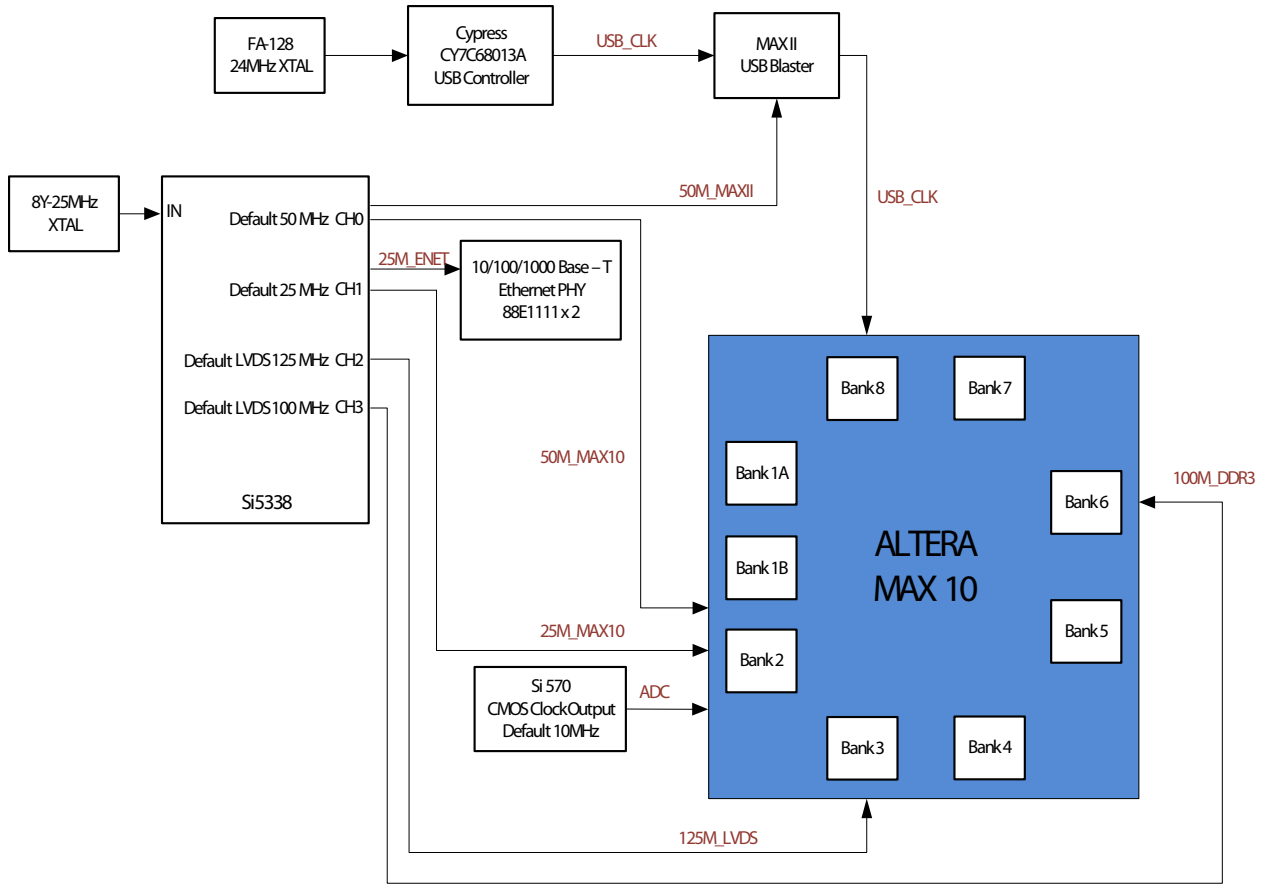


表 4-11: 板载振荡器

源	图解信号名称	频率	I/O 标准	MAX 10 FPGA 管脚编 号	应用
X1	CLK_10_ADC	10.000 MHz	2.5 V CMOS	N5	用于 ADC 的可编程 的默认 10MHz 时钟
U2	CLK_25_ENET	25.000 MHz	2.5 V CMOS	-	Ethernet 时钟
U2	CLK_25_MAX10	25.000 MHz	2.5 V CMOS	M8	MAX 10 时钟
U2	CLK_50_MAXII	25.000 MHz	2.5 V/3.3V CMOS	-	板载 USB Blaster II 的 时钟
U2	CLK_50_MAX10	50.000 MHz	2.5 V CMOS	M9	MAX 10 时钟

源	图解信号名称	频率	I/O 标准	MAX 10 FPGA 管脚编 号	应用
U2	CLK_DDR3_100_N	100.000 MHz	Differential SSTL-15	N15	DDR3 时钟
U2	CLK_DDR3_100_P	100.000 MHz	Differential SSTL-15	N14	DDR3 时钟
U2	CLK_LVDS_125_N	125.000 MHz	2.5 V LVDS	R11	LVDS 时钟
U2	CLK_LVDS_125_P	125.000 MHz	2.5 V LVDS	P11	LVDS 时钟

注意: 对于信号 CLK_50_MAXII, 输出端电压为 2.5V, 输入端电压为 3.3V, 但彼此之间是电气兼容的。

注意: 对于信号 CLK_DDR3_100_P 和 CLK_DDR3_100_N, 在 MAX 10 输入端, Differential SSTL-15 用作 I/O 标准, 因为此 bank 的 VCCIO 为 1.5V。

板外时钟输入/输出

开发板有可驱动到电路板上的输入和输出时钟。根据 FPGA 器件的规格, 输出时钟可编程为不同的级别和 I/O 标准。

表 4-12: 板外时钟输入

源	图解信号名称	I/O 标准	MAX 10 FPGA 管 脚编号	说明
HSMC	HSMC_CLK_IN_N1	2.5 V	AB21	来自已安装的 HSMC 电缆或者电路板的 LVDS 输入。
HSMC	HSMC_CLK_IN_P1	2.5 V	AA20	来自已安装的 HSMC 电缆或者电路板的 LVDS 输入。
HSMC	HSMC_CLK_IN_N2	2.5 V	V9	来自已安装的 HSMC 电缆或者电路板的 LVDS 输入。
HSMC	HSMC_CLK_IN_P2	2.5 V	V10	来自已安装的 HSMC 电缆或者电路板的 LVDS 输入。
HSMC	HSMC_CLK_IN0	2.5 V	N4	来自已安装的 HSMC 电缆或者电路板的单端输入。

表 4-13: 板外时钟输出

源	图解信号名称	I/O 标准	MAX 10 FPGA 管脚编号	说明
HSMC	HSMC_CLK_OUT_N1	2.5 V	R13	LVDS 输出。
HSMC	HSMC_CLK_OUT_P1	2.5 V	P13	LVDS 输出。
HSMC	HSMC_CLK_OUT_N2	2.5 V	V14	LVDS 输出。
HSMC	HSMC_CLK_OUT_P2	2.5 V	W15	LVDS 输出。
HSMC	HSMC_CLK_OUT0	2.5 V	AA13	FPGA CMOS 输出(或 GPIO)

组件和接口

本节对相对于 MAX 10 FPGA 器件的开发板的通信端口和接口卡作了介绍。

10/100/1000 Ethernet PHY

MAX 10 FPGA 开发套件通过使用一个外部的 Marvell 88E1111 PHY 和 Altera Triple-Speed Ethernet MegaCore MAC 功能来支持 10/100/1000 base-T Ethernet。

表 4-14: Ethernet PHY A 管脚分配, 信号名称和功能

电路板参考(U9)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U9.8	ENETA_GTX_CLK	T5	2.5V CMOS	125 MHz RGMII TX 时钟
U9.4	ENETA_TX_CLK	E10	3.3V LVCMOS	25/2.5 MHz MII TX 时钟
U9.11	ENETA_TX_D0	R5	2.5V CMOS	RGMII TX data 0
U9.12	ENETA_TX_D1	P5	2.5V CMOS	RGMII TX data 1
U9.14	ENETA_TX_D2	W1	2.5V CMOS	RGMII TX data 2
U9.16	ENETA_TX_D3	W2	2.5V CMOS	RGMII TX data 3
U9.9	ENETA_TX_EN	R4	2.5V CMOS	RGMII TX enable
U9.7	ENETA_TX_ER	P4	2.5V CMOS	II TX error
U9.2	ENETA_RX_CLK	P3	2.5V CMOS	RGMII RX clock
U9.95	ENETA_RX_D0	N9	2.5V CMOS	RGMII RX data 0
U9.92	ENETA_RX_D1	T1	2.5V CMOS	RGMII RX data 1

电路板参考(U9)	图解信号名称	MAX 10 FPGA 管脚 编号	I/O 标准	说明
U9.93	ENETA_RX_D2	N1	2.5V CMOS	RGMII RX data 2
U9.91	ENETA_RX_D3	T3	2.5V CMOS	RGMII RX data 3
U9.94	ENETA_RX_DV	T2	2.5V CMOS	RGMII RX valid
U9.3	ENETA_RX_ER	U2	2.5V CMOS	MII RX error
U9.28	ENETA_RESETN	V8	2.5V CMOS	Device reset
U9.23	ENETA_INTn	V7	2.5V CMOS	Management bus interrupt
U9.25	ENET_MDC	Y6	2.5V CMOS	MDI clock
U9.24	ENET_MDIO	Y5	2.5V CMOS	MDI data
U9.84	ENETA_RX_CRS	N8	2.5V CMOS	MII Carrier Sense
U9.83	ENETA_RX_COL	P1	2.5V CMOS	MII Collision
U9.55	CLK_25_ENET	—	2.5V CMOS	25 MHz Reference clock
U9.70	ENETA_LED_ DUPLEX	—	2.5 V CMOS	Duplex or collision LED
U9.76	ENETA_LED_ LINK10	—	2.5 V CMOS	10 Mb link LED
U9.74	ENETA_LED_ LINK100	R9	2.5V CMOS	100 Mb link LED
U9.73	ENETA_LED_ LINK1000	—	2.5V CMOS	1000 Mb link LED
U9.58, 69	ENETA_LED_RX	—	2.5V CMOS	RX data active LED
U9.61, 68	ENETA_LED_TX	—	2.5V CMOS	TX data active LED
U9.29	ENETA_MDI_P0	—	2.5V CMOS	MDI
U9.31	ENETA_MDI_N0	—	2.5V CMOS	MDI
U9.33	ENETA_MDI_P1	—	2.5V CMOS	MDI
U9.34	ENETA_MDI_N1	—	2.5V CMOS	MDI
U9.39	ENETA_MDI_P2	—	2.5V CMOS	MDI
U9.41	ENETA_MDI_N2	—	2.5V CMOS	MDI
U9.42	ENETA_MDI_P3	—	2.5V CMOS	MDI
U9.43	ENETA_MDI_N3	—	2.5V CMOS	MDI

表 4-15: Ethernet PHY B 管脚分配, 信号名称和功能

电路板参考(U10)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U10.8	ENETB_GTX_CLK	T6	2.5V CMOS	125 MHz RGMII TX 时钟
U10.4	ENETB_TX_CLK	E11	3.3V LVCMOS	25/2.5 MHz MII TX 时钟
U10.11	ENETB_TX_D0	U1	2.5V CMOS	RGMII TX data 0
U10.12	ENETB_TX_D1	V1	2.5V CMOS	RGMII TX data 1
U10.14	ENETB_TX_D2	U3	2.5V CMOS	RGMII TX data 2
U10.16	ENETB_TX_D3	U4	2.5V CMOS	RGMII TX data 3
U10.9	ENETB_TX_EN	V3	2.5V CMOS	RGMII TX enable
U10.7	ENETB_TX_ER	U5	2.5V CMOS	II TX error
U10.2	ENETB_RX_CLK	R3	2.5V CMOS	RGMII RX clock
U10.95	ENETB_RX_D0	P8	2.5V CMOS	RGMII RX data 0
U10.92	ENETB_RX_D1	M1	2.5V CMOS	RGMII RX data 1
U10.93	ENETB_RX_D2	M2	2.5V CMOS	RGMII RX data 2
U10.91	ENETB_RX_D3	R7	2.5V CMOS	RGMII RX data 3
U10.94	ENETB_RX_DV	R1	2.5V CMOS	RGMII RX valid
U10.3	ENETB_RX_ER	R2	2.5V CMOS	II RX error
U10.28	ENETB_RESETh	AB4	2.5V CMOS	Device reset
U10.23	ENETB_INTh	AA3	2.5V CMOS	Management bus interrupt
U10.25	ENET_MDC	Y6	2.5V CMOS	MDI clock
U10.24	ENET_MDIO	Y5	2.5V CMOS	MDI data
U10.84	ENETB_RX_CRS	N3	2.5V CMOS	II Carrier Sense
U10.83	ENETB_RX_COL	N2	2.5V CMOS	II Collision
U10.55	CLK_25_ENET	—	2.5V CMOS	25 MHz Reference clock
U10.70	ENETB_LED_DUPLEX	—	2.5V CMOS	Duplex or collision LED

电路板参考(U10)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U10.76	ENETB_LED_LINK10	—	2.5V CMOS	10 Mb link LED
U10.74	ENETB_LED_LINK100	P9	2.5V CMOS	100 Mb link LED
U10.73	ENETB_LED_LINK1000	—	2.5V CMOS	1000 Mb link LED
U10.58, 69	ENETB_LED_RX	—	2.5V CMOS	RX data active LED
U10.61, 65, 68	ENETB_LED_TX	—	2.5V CMOS	TX data active LED
U10.29	ENETB_MDI_P0	—	2.5V CMOS	MDI
U10.31	ENETB_MDI_N0	—	2.5V CMOS	MDI
U10.33	ENETB_MDI_P1	—	2.5V CMOS	MDI
U10.34	ENETB_MDI_N1	—	2.5V CMOS	MDI
U10.39	ENETB_MDI_P2	—	2.5V CMOS	MDI
U10.41	ENETB_MDI_N2	—	2.5V CMOS	MDI
U10.42	ENETB_MDI_P3	—	2.5V CMOS	MDI
U10.43	ENETB_MDI_N3	—	2.5V CMOS	MDI

数字到模拟转换器

MAX 10 FPGA 包含一个带 SMA 输出的外部 16 比特数字到模拟转换器(DAC)。

MAX 10 FPGA 有两个采样速率为 1 MSps 的 12-bit 逐次求近寄存器(SAR) ADC。一个电位器连接到 ADC1_CH6，用作用户控制的 DC，并连接到 2.5 V。为确保 ADC 的性能评估，MAX 10 开发套件具有独立的模拟电源和用于模拟接地的分离分区。一个外部 16-bit 单通道 DAC 连接到 Bank 7，以使能闭环评估。DAC 使用 3 线串行接口，此接口运行在高达 30 MHz 的时钟速率上，兼容于标准串行外设接口(SPI)，四路 SPI，Microwire 和数字信号处理器(DSP)接口。

表 4-16: 数字到模拟转换器信号

电路板参考(U33)	信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U33.5	DAC_SYNC	U1.B10	3.3 V	电平触发控制输入(active LOW)。输入数据的帧同步信号。
U33.6	DAC_SCLK	A7	3.3 V	串行时钟输入

电路板参考 (U33)	信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U33.7	DAC_DIN	A8	3.3 V	串行数据输入

HDMI 视频输出

MAX 10 FPGA 开发套件支持一个 HDMI 发送器和一个 HDMI 插座。

发送器具有 HDMI v1.4 特性，能够支持高达 165 MHz 的输入数据速率(1080p @60Hz, UXGA @60Hz)。HDMI 发送器和 MAX 10 之间的连接建立在 Bank 7 中，可通过 I²C 接口进行通信。

表 4-17: HDMI 管脚分配，信号名称和功能

电路板参考(U8)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U8.62	HDMI_TX_D0	A17	3.3 V	HDMI 数字视频数据总线
U8.61	HDMI_TX_D1	A18	3.3 V	HDMI 数字视频数据总线
U8.60	HDMI_TX_D2	A12	3.3 V	HDMI 数字视频数据总线
U8.59	HDMI_TX_D3	F16	3.3 V	HDMI 数字视频数据总线
U8.58	HDMI_TX_D4	A16	3.3 V	HDMI 数字视频数据总线
U8.57	HDMI_TX_D5	B12	3.3 V	HDMI 数字视频数据总线
U8.56	HDMI_TX_D6	F15	3.3 V	HDMI 数字视频数据总线
U8.55	HDMI_TX_D7	B11	3.3 V	HDMI 数字视频数据总线
U8.54	HDMI_TX_D8	A13	3.3 V	HDMI 数字视频数据总线
U8.52	HDMI_TX_D9	C15	3.3 V	HDMI 数字视频数据总线
U8.50	HDMI_TX_D10	C11	3.3 V	HDMI 数字视频数据总线
U8.49	HDMI_TX_D11	A11	3.3 V	HDMI 数字视频数据总线

电路板参考(U8)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U8.48	HDMI_TX_D12	A20	3.3 V	HDMI 数字视频数据总线
U8.47	HDMI_TX_D13	H13	3.3 V	HDMI 数字视频数据总线
U8.46	HDMI_TX_D14	E14	3.3 V	HDMI 数字视频数据总线
U8.45	HDMI_TX_D15	D12	3.3 V	HDMI 数字视频数据总线
U8.44	HDMI_TX_D16	C12	3.3 V	HDMI 数字视频数据总线
U8.43	HDMI_TX_D17	C19	3.3 V	HDMI 数字视频数据总线
U8.42	HDMI_TX_D18	C18	3.3 V	HDMI 数字视频数据总线
U8.41	HDMI_TX_D19	B19	3.3 V	HDMI 数字视频数据总线
U8.40	HDMI_TX_D20	B17	3.3 V	HDMI 数字视频数据总线
U8.39	HDMI_TX_D21	B16	3.3 V	HDMI 数字视频数据总线
U8.38	HDMI_TX_D22	C16	3.3 V	HDMI 数字视频数据总线
U8.37	HDMI_TX_D23	A15	3.3 V	HDMI 数字视频数据总线
U8.53	HDMI_TX_CLK	D6	3.3 V	视频时钟
U8.63	HDMI_TX_DE	C10	3.3 V	视频数据使能
U8.64	HDMI_TX_HS	A19	3.3 V	垂直同步
U8.2	HDMI_TX_VS	J12	3.3 V	水平同步
U8.28	HDMI_TX_INT	D15	3.3 V	中断信号
U8.35	HDMI_SCL	A10	3.3 V	HDMI I2C 时钟
U8.36	HDMI_SDA	B15	3.3 V	HDMI I2C 数据

HSMC

高速夹层卡(HSMC)接口基于 Samtec 0.5 mm 间距, 表面贴装 QTH/QSH 系列连接器, 旨在支持完整的 SPI-4.2 接口(17 LVDS 通道)和 3 个输入和输出时钟以及 SMBus 和 JTAG 信号。

由于 MAX 10 没有收发器通道, 因此 HSMC clock-data-recovery 通道未被连接。

HSMC 接口具有可编程的双向 I/O 管脚, 可用作与 3.3-V LVTTTL 兼容的 2.5-V LVCMOS。这些管脚也可用作各种差分 I/O 标准, 包括但不限于 LVDS、mini-LVDS 和具有高达 17 个全双工通道的 RSDS。

如 *高速夹层卡(HSMC)规范手册* 中所述, LVDS 和单端 I/O 标准只有在根据通用单端管脚(pin-out)或通用差分管脚(pin-out)混合时在能保证工作。

关于 HSMC 规范的详细信息, 例如: 信号标准, 信号完整性, 兼容连接器和机械信息, 请参考 *高速夹层卡(HSMC)规范手册*。

表 4-18: HSMC 图解信号

电路板参考(J2)	图解信号名称	MAX 10 / MAX II 管脚编号	I/O 标准	说明
33	HSMC_SDA	AA19	2.5V CMOS inout	管理串行数据线
34	HSMC_SCL	Y18	2.5V CMOS out	管理串行时钟线
35	HSMC_JTAG_TCK	A9 (MAX II)	part of chain	JTAG 时钟
36	HSMC_JTAG_TMS	A8 (MAX II)	part of chain	JTAG 模式选择
37	HSMC_JTAG_TDO	A7 (MAX II)	part of chain	JTAG 数据输出
38	HSMC_JTAG_TDI	A6 (MAX II)	part of chain	JTAG 数据输入
39	HSMC_CLK_OUT0	AA13	2.5V CMOS clock output	时钟输出 0
40	HSMC_CLK_IN0	N4	2.5V CMOS clock in	时钟输入 0
41	HSMC_D0	Y7	2.5v CMOS inout	数据总线
42	HSMC_D1	Y8	2.5v CMOS inout	数据总线
43	HSMC_D2	AB2	2.5v CMOS inout	数据总线
44	HSMC_D3	AB3	2.5v CMOS inout	数据总线
47	HSMC_TX_D_P0	W3	2.5v CMOS inout or LVDS TX channels-p	数据总线
48	HSMC_RX_D_P0	V5	2.5V CMOS inout or LVDS RX channels-p	数据总线
49	HSMC_TX_D_N0	W4	2.5V CMOS inout or LVDS TX channels-n	数据总线

⁽¹⁾ MAX 10 没有 LVDS RX 的内部端接。安装一个 100-ohm 电阻以支持 HSMC 上的 LVDS RX。

电路板参考(J2)	图解信号名称	MAX 10 / MAX II 管脚 编号	I/O 标准	说明
50	HSMC_RX_D_N0 ⁽¹⁾	V4	2.5V CMOS inout or LVDS RX channels-n	数据总线
53	HSMC_TX_D_P1	U7	2.5v CMOS inout or LVDS TX channels-p	数据总线
54	HSMC_RX_D_P1 ⁽¹⁾	Y2	2.5V CMOS inout or LVDS RX channels-p	数据总线
55	HSMC_TX_D_N1	U6	2.5V CMOS inout or LVDS TX channels-n	数据总线
56	HSMC_RX_D_N1 ⁽¹⁾	Y1	2.5V CMOS inout or LVDS RX channels-n	数据总线
59	HSMC_TX_D_P2	W6	2.5v CMOS inout or LVDS TX channels-p	数据总线
60	HSMC_RX_D_P2 ⁽¹⁾	AA20	2.5V CMOS inout or LVDS RX channels-p	数据总线
61	HSMC_TX_D_N2	W5	2.5V CMOS inout or LVDS TX channels-n	数据总线
62	HSMC_RX_D_N2 ⁽¹⁾	AA1	2.5V CMOS inout or LVDS RX channels-n	数据总线
65	HSMC_TX_D_P3	W8	2.5v CMOS inout or LVDS TX channels-p	数据总线
66	HSMC_RX_D_P3 ⁽¹⁾	AB8	2.5V CMOS inout or LVDS RX channels-p	数据总线
67	HSMC_TX_D_N3	W7	2.5V CMOS inout or LVDS TX channels-n	数据总线
68	HSMC_RX_D_N3 ⁽¹⁾	AA8	2.5V CMOS inout or LVDS RX channels-n	数据总线
71	HSMC_TX_D_P4	AA10	2.5v CMOS inout or LVDS TX channels-p	数据总线
72	HSMC_RX_D_P4 ⁽¹⁾	AB9	2.5V CMOS inout or LVDS RX channels-p	数据总线
73	HSMC_TX_D_N4	Y10	2.5V CMOS inout or LVDS TX channels-n	数据总线
74	HSMC_RX_D_N4 ⁽¹⁾	AA9	2.5V CMOS inout or LVDS RX channels-n	数据总线
77	HSMC_TX_D_P5	AA7	2.5v CMOS inout or LVDS TX channels-p	数据总线
78	HSMC_RX_D_P5 ⁽¹⁾	AB7	2.5V CMOS inout or LVDS RX channels-p	数据总线

电路板参考(J2)	图解信号名称	MAX 10 / MAX II 管脚编号	I/O 标准	说明
79	HSMC_TX_D_N5	AA6	2.5V CMOS inout or LVDS TX channels-n	数据总线
80	HSMC_RX_D_N5 ⁽¹⁾	AB6	2.5V CMOS inout or LVDS RX channels-n	数据总线
83	HSMC_TX_D_P6	P10	2.5v CMOS inout or LVDS TX channels-p	数据总线
84	HSMC_RX_D_P6 ⁽¹⁾	Y4	2.5V CMOS inout or LVDS RX channels-p	数据总线
85	HSMC_TX_D_N6	R10	2.5V CMOS inout or LVDS TX channels-n	数据总线
86	HSMC_RX_D_N6 ⁽¹⁾	Y3	2.5V CMOS inout or LVDS RX channels-n	数据总线
89	HSMC_TX_D_P7	W10	2.5v CMOS inout or LVDS TX channels-p	数据总线
90	HSMC_RX_D_P7 ⁽¹⁾	AB5	2.5V CMOS inout or LVDS RX channels-p	数据总线
91	HSMC_TX_D_N7	W9	2.5V CMOS inout or LVDS TX channels-n	数据总线
92	HSMC_RX_D_N7 ⁽¹⁾	AA5	2.5V CMOS inout or LVDS RX channels-n	数据总线
95	HSMC_CLK_OUT_P1	P13	2.5V CMOS inout or LVDS clock out	时钟输出 1
96	HSMC_CLK_IN_P1	AA20	2.5V CMOS inout or LVDS clock in	时钟输入 1
97	HSMC_CLK_OUT_N1	R13	2.5V CMOS inout or LVDS clock out	时钟输出 1
98	HSMC_CLK_IN_N1	AB21	2.5V CMOS inout or LVDS clock in	时钟输入 1
101	HSMC_TX_D_P8	W14	2.5v CMOS inout or LVDS TX channels-p	数据总线
102	HSMC_RX_D_P8 ⁽¹⁾	W13	2.5V CMOS inout or LVDS RX channels-p	数据总线
103	HSMC_TX_D_N8	V13	2.5V CMOS inout or LVDS TX channels-n	数据总线
104	HSMC_RX_D_N8 ⁽¹⁾	W12	2.5V CMOS inout or LVDS RX channels-n	数据总线
107	HSMC_TX_D_P9	Y14	2.5v CMOS inout or LVDS TX channels-p	数据总线

电路板参考(J2)	图解信号名称	MAX 10 / MAX II 管脚编号	I/O 标准	说明
108	HSMC_RX_D_P9 ⁽¹⁾	AB15	2.5V CMOS inout or LVDS RX channels-p	数据总线
109	HSMC_TX_D_N9	Y13	2.5V CMOS inout or LVDS TX channels-n	数据总线
110	HSMC_RX_D_N9 ⁽¹⁾	AA14	2.5V CMOS inout or LVDS RX channels-n	数据总线
113	HSMC_TX_D_P10	V16	2.5v CMOS inout or LVDS TX channels-p	数据总线
114	HSMC_RX_D_P10 ⁽¹⁾	Y16	2.5V CMOS inout or LVDS RX channels-p	数据总线
115	HSMC_TX_D_N10	U15	2.5V CMOS inout or LVDS TX channels-n	数据总线
116	HSMC_RX_D_N10 ⁽¹⁾	AA15	2.5V CMOS inout or LVDS RX channels-n	数据总线
119	HSMC_TX_D_P11	W16	2.5v CMOS inout or LVDS TX channels-p	数据总线
120	HSMC_RX_D_P11 ⁽¹⁾	AA16	2.5V CMOS inout or LVDS RX channels-p	数据总线
121	HSMC_TX_D_N11	V15	2.5V CMOS inout or LVDS TX channels-n	数据总线
122	HSMC_RX_D_N11 ⁽¹⁾	AB16	2.5V CMOS inout or LVDS RX channels-n	数据总线
125	HSMC_TX_D_P12	V17	2.5v CMOS inout or LVDS TX channels-p	数据总线
126	HSMC_RX_D_P12 ⁽¹⁾	AB18	2.5V CMOS inout or LVDS RX channels-p	数据总线
127	HSMC_TX_D_N12	W17	2.5V CMOS inout or LVDS TX channels-n	数据总线
128	HSMC_RX_D_N12 ⁽¹⁾	AB17	2.5V CMOS inout or LVDS RX channels-n	数据总线
131	HSMC_TX_D_P13	V12	2.5v CMOS inout or LVDS TX channels-p	数据总线
132	HSMC_RX_D_P13 ⁽¹⁾	Y11	2.5V CMOS inout or LVDS RX channels-p	数据总线
133	HSMC_TX_D_N13	V11	2.5V CMOS inout or LVDS TX channels-n	数据总线
134	HSMC_RX_D_N13 ⁽¹⁾	W11	2.5V CMOS inout or LVDS RX channels-n	数据总线

电路板参考(J2)	图解信号名称	MAX 10 / MAX II 管脚编号	I/O 标准	说明
137	HSMC_TX_D_P14	P12	2.5v CMOS inout or LVDS TX channels-p	数据总线
138	HSMC_RX_D_P14 ⁽¹⁾	AB11	2.5V CMOS inout or LVDS RX channels-p	数据总线
139	HSMC_TX_D_N14	R12	2.5V CMOS inout or LVDS TX channels-n	数据总线
140	HSMC_RX_D_N14 ⁽¹⁾	AB10	2.5V CMOS inout or LVDS RX channels-n	数据总线
143	HSMC_TX_D_P15	AA12	2.5v CMOS inout or LVDS TX channels-p	数据总线
144	HSMC_RX_D_P15 ⁽¹⁾	AB13	2.5V CMOS inout or LVDS RX channels-p	数据总线
145	HSMC_TX_D_N15	AA11	2.5V CMOS inout or LVDS TX channels-n	数据总线
146	HSMC_RX_D_N15 ⁽¹⁾	AB12	2.5V CMOS inout or LVDS RX channels-n	数据总线
149	HSMC_TX_D_P16	Y17	2.5v CMOS inout or LVDS TX channels-p	数据总线
150	HSMC_RX_D_P16 ⁽¹⁾	AB20	2.5V CMOS inout or LVDS RX channels-p	数据总线
151	HSMC_TX_D_N16	AA17	2.5V CMOS inout or LVDS TX channels-n	数据总线
152	HSMC_RX_D_N16 ⁽¹⁾	AB19	2.5V CMOS inout or LVDS RX channels-n	数据总线
155	HSMC_CLK_OUT_P2	W15	2.5V CMOS inout or LVDS clock out	时钟输出 2
156	HSMC_CLK_IN_P2	V10	2.5V CMOS inout or LVDS clock in	时钟输入 2
157	HSMC_CLK_OUT_N2	V14	2.5V CMOS inout or LVDS clock out	时钟输出 2
158	HSMC_CLK_IN_N2	V9	2.5V CMOS inout or LVDS clock in	时钟输入 2
160	HSMC_PRSENTn	AB14	2.5V	Present

相关链接

[高速夹层卡\(HSMC\)规范](#)

Pmod 连接器

MAX 10 FPGA 开发套件包括两个 Digilent Pmod™兼容接头，用于连接低频，低 I/O 管脚数的外设模块。

此套件中使用的 12 管脚版本 Pmod 连接器提供 8 个 I/O 信号管脚。外部模块接口还包含一个使用 I²C 接口和两根或四根导线的 MTE 电缆。Pmod 信号连接到 Bank 8。

表 4-19: Pmod A 管脚分配，信号名称和功能

图解信号名称	图解共享总线信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
PMODA_D0	PMODA_IO0	C7	3.3V	In/Out
PMODA_D1	PMODA_IO1	C8	3.3V	In/Out
PMODA_D2	PMODA_IO2	A6	3.3V	In/Out
PMODA_D3	PMODA_IO3	B7	3.3V	In/Out
PMODA_D4	PMODA_IO4	D8	3.3V	In/Out
PMODA_D5	PMODA_IO5	A4	3.3V	In/Out
PMODA_D6	PMODA_IO6	A5	3.3V	In/Out
PMODA_D7	PMODA_IO7	E9	3.3V	In/Out
—	VCC	—	3.3V	Power
—	GND	—	—	GND

表 4-20: Pmod B 管脚分配，信号名称和功能

图解信号名称	图解共享总线信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
PMODB_D0	PMODB_IO0	E8	3.3V	In/Out
PMODB_D1	PMODB_IO1	D5	3.3V	In/Out
PMODB_D2	PMODB_IO2	B5	3.3V	In/Out
PMODB_D3	PMODB_IO3	C4	3.3V	In/Out
PMODB_D4	PMODB_IO4	A2	3.3V	In/Out
PMODB_D5	PMODB_IO5	A3	3.3V	In/Out
PMODB_D6	PMODB_IO6	B4	3.3V	In/Out
PMODB_D7	PMODB_IO7	B3	3.3V	In/Out
—	VCC	—	3.3V	Power
—	GND	—	—	GND

USB 到 UART

此电路板使用一个基于 USB 的 UART 桥接芯片(FT232R)，用于建立到主机的通信，进行 Nios 和非 Nios 系统的通用软件调试。此芯片将 TXD 和 RXD 用于数据的发送和接收。mini B 插座用于最小化电路板空间。相关的 I/O 使用是在 Bank 4 中实现的。

表 4-21: USB-UART 管脚分配，信号名称和功能

电路板参考(U11)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U11.2	UART_TX	W18	2.5 V	发送异步数据输出
U11.30	UART_RX	Y19	2.5 V	接收异步数据输入

存储器

本节介绍了开发板的存储器接口支持以及它们的信号名称，类型和相对于 FPGA 的连接。

DDR3 Rev. B Board

注意: 关于电路板的版本，请参考电路板背面底部的序列号。关于电路板背面的图像，请参考 *General Description* 部分。

MAX 10 FPGA 通过使用 1 Gbit x16 存储器对 x16 DDR3 300-MHz 接口提供全速支持。此外，MAX 10 支持纠错码(ECC)特性。

警告: 当在 10M50 F484 器件上实现 DDR3 时，rev. B 电路板上的 F18、E19、F20 和 F21 上的 DDR3 地址信号与 MAX 10 外部存储器指南相违背。Altera 建议进行电路板设计时要遵循 MAX 10 指南，使用 Quartus II 软件来验证管脚位置合规性。如果进行 Rev. B kit 设计时遇到 DDR3 管脚位置错误，那么请与 Altera support 取得联系。

表 4-22: DDR3 管脚分配，信号名称和功能

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.N3 - U6.K3	DDR3_A0	V20	1.5V SSTL	地址总线
U5.P7 - U6.L7	DDR3_A1	F20	1.5V SSTL	地址总线 请参考上面的 Caution 声明。
U5.P3 - U6.L3	DDR3_A2	F18	1.5V SSTL	地址总线 请参考上面的 Caution 声明。

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.N2 - U6.K2	DDR3_A3	U20	1.5V SSTL	地址总线
U5.P8 - U6.L8	DDR3_A4	F21	1.5V SSTL	地址总线 请参考上面的 Caution 声明。
U5.P2 - U6.L2	DDR3_A5	F19	1.5V SSTL	地址总线
U5.R8 - U6.M8	DDR3_A6	E21	1.5V SSTL	地址总线
U5.R2 - U6.M2	DDR3_A7	E19	1.5V SSTL	地址总线 请参考上面的 Caution 声明。
U5.T8 - U6.N8	DDR3_A8	D22	1.5V SSTL	地址总线
U5.R3 - U6.M3	DDR3_A9	E22	1.5V SSTL	地址总线
U5.L7 - U6.H7	DDR3_A10	Y20	1.5V SSTL	地址总线
U5.R7 - U6.M7	DDR3_A11	E20	1.5V SSTL	地址总线
U5.N7 - U6.K7	DDR3_A12	J14	1.5V SSTL	地址总线
U5.T3 - U6.N3	DDR3_A13	C22	1.5V SSTL	地址总线
U5.M2 - U6.J2	DDR3_BA0	V22	1.5V SSTL	Bank 地址总线
U5.N8 - U6.K8	DDR3_BA1	N18	1.5V SSTL	Bank 地址总线
U5.M3 - U6.J3	DDR3_BA2	W22	1.5V SSTL	Bank 地址总线
U5.K3 - U6.G3	DDR3_CASn	U19	1.5V SSTL	行地址总线
U5.K9 - U6.G9	DDR3_CKE	W20	1.5V SSTL	时钟使能
U5.J7 - U6.F7	DDR3_CLK_P	D18	Differential 1.5V SSTL	差分输出时钟
U5.K7 - U6.G7	DDR3_CLK_N	E18	Differential 1.5V SSTL	差分输出时钟
U5.L2 - U6.H2	DDR3_CSn	Y22	1.5V SSTL	芯片选择
U5.E7	DDR3_DM0	J15	1.5V SSTL	写掩码字节通道 0
U5.D3	DDR3_DM1	N19	1.5V SSTL	写掩码字节通道 1
U6.B7	DDR3_DM2	T18	1.5V SSTL	写掩码字节通道 2
U5.E3	DDR3_DQ0	J18	1.5V SSTL	数据总线字节通道 0
U5.F7	DDR3_DQ1	K20	1.5V SSTL	数据总线字节通道 0
U5.F2	DDR3_DQ2	H18	1.5V SSTL	数据总线字节通道 0



电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.F8	DDR3_DQ3	K18	1.5V SSTL	数据总线字节通道 0
U5.H3	DDR3_DQ4	H19	1.5V SSTL	数据总线字节通道 0
U5.H8	DDR3_DQ5	J20	1.5V SSTL	数据总线字节通道 0
U5.G2	DDR3_DQ6	H20	1.5V SSTL	数据总线字节通道 0
U5.H7	DDR3_DQ7	K19	1.5V SSTL	数据总线字节通道 0
U5.D7	DDR3_DQ8	L20	1.5V SSTL	数据总线字节通道 1
U5.C3	DDR3_DQ9	M18	1.5V SSTL	数据总线字节通道 1
U5.C8	DDR3_DQ10	M20	1.5V SSTL	数据总线字节通道 1
U5.C2	DDR3_DQ11	M14	1.5V SSTL	数据总线字节通道 1
U5.A7	DDR3_DQ12	L18	1.5V SSTL	数据总线字节通道 1
U5.A2	DDR3_DQ13	M15	1.5V SSTL	数据总线字节通道 1
U5.B8	DDR3_DQ14	L19	1.5V SSTL	数据总线字节通道 1
U5.A3	DDR3_DQ15	N20	1.5V SSTL	数据总线字节通道 1
U6.B3	DDR3_DQ16	R14	1.5V SSTL	数据总线字节通道 2
U6.C7	DDR3_DQ17	P19	1.5V SSTL	数据总线字节通道 2
U6.C2	DDR3_DQ18	P14	1.5V SSTL	数据总线字节通道 2
U6.C8	DDR3_DQ19	R20	1.5V SSTL	数据总线字节通道 2
U6.E3	DDR3_DQ20	R15	1.5V SSTL	数据总线字节通道 2
U6.E8	DDR3_DQ21	T19	1.5V SSTL	数据总线字节通道 2
U6.D2	DDR3_DQ22	P15	1.5V SSTL	数据总线字节通道 2
U6.E7	DDR3_DQ23	P20	1.5V SSTL	数据总线字节通道 2
U5.F3	DDR3_DQS_P0	K14	Differential 1.5V SSTL	数据选通 P 字节通道 0
U5.G3	DDR3_DQS_N0	K15	Differential 1.5V SSTL	数据选通 N 字节通道 0
U5.C7	DDR3_DQS_P1	L14	Differential 1.5V SSTL	数据选通 P 字节通道 1
U5.B7	DDR3_DQS_N1	L15	Differential 1.5V SSTL	数据选通 N 字节通道 1
U6.C3	DDR3_DQS_P2	R18	Differential 1.5V SSTL	数据选通 P 字节通道 2
U6.D3	DDR3_DQS_N2	P18	Differential 1.5V SSTL	数据选通 N 字节通道 2

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.K1 - U6.G1	DDR3_ODT	W19	1.5V SSTL	片上终端使能
U5.J3 - U6.F3	DDR3_RASn	V18	1.5V SSTL	行地址选择
U5.T2 - U6.N2	DDR3_RESETh	B22	1.5V SSTL	Reset
U5.L3 - U6.H3	DDR3_WEn	Y21	1.5V SSTL	写使能
U5.L8	DDR3_ZQ1	—	1.5V SSTL	ZQ 阻抗校准
U6.H8	DDR3_ZQ2	—	1.5V SSTL	ZQ 阻抗校准

相关链接[概述](#) (第 1-3 页)**DDR3 Rev. C 电路板**

注意: 关于电路板的版本, 请参考电路板背面底部的序列号。

MAX 10 FPGA 通过使用 1 Gbit x16 存储器对 x16 DDR3 300-MHz 接口提供全速支持。此外, MAX 10 支持纠错码(ECC)特性。

表 4-23: DDR3 管脚分配, 信号名称和功能

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.N3 - U6.K3	DDR3_A0	V20	1.5V SSTL	地址总线
U5.P7 - U6.L7	DDR3_A1	D19	1.5V SSTL	地址总线
U5.P3 - U6.L3	DDR3_A2	A21	1.5V SSTL	地址总线
U5.N2 - U6.K2	DDR3_A3	U20	1.5V SSTL	地址总线
U5.P8 - U6.L8	DDR3_A4	C20	1.5V SSTL	地址总线
U5.P2 - U6.L2	DDR3_A5	F19	1.5V SSTL	地址总线
U5.R8 - U6.M8	DDR3_A6	E21	1.5V SSTL	地址总线
U5.R2 - U6.M2	DDR3_A7	B20	1.5V SSTL	地址总线
U5.T8 - U6.N8	DDR3_A8	D22	1.5V SSTL	地址总线
U5.R3 - U6.M3	DDR3_A9	E22	1.5V SSTL	地址总线
U5.L7 - U6.H7	DDR3_A10	Y20	1.5V SSTL	地址总线
U5.R7 - U6.M7	DDR3_A11	E20	1.5V SSTL	地址总线
U5.N7 - U6.K7	DDR3_A12	J14	1.5V SSTL	地址总线
U5.T3 - U6.N3	DDR3_A13	C22	1.5V SSTL	地址总线

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U5.M2 - U6.J2	DDR3_BA0	V22	1.5V SSTL	Bank 地址总线
U5.N8 - U6.K8	DDR3_BA1	N18	1.5V SSTL	Bank 地址总线
U5.M3 - U6.J3	DDR3_BA2	W22	1.5V SSTL	Bank 地址总线
U5.K3 - U6.G3	DDR3_CASn	U19	1.5V SSTL	行地址总线
U5.K9 - U6.G9	DDR3_CKE	W20	1.5V SSTL	时钟使能
U5.J7 - U6.F7	DDR3_CLK_P	D18	Differential 1.5V SSTL	差分输出时钟
U5.K7 - U6.G7	DDR3_CLK_N	E18	Differential 1.5V SSTL	差分输出时钟
U5.L2 - U6.H2	DDR3_CSn	Y22	1.5V SSTL	芯片选择
U5.E7	DDR3_DM0	J15	1.5V SSTL	写掩码字节通道 0
U5.D3	DDR3_DM1	N19	1.5V SSTL	写掩码字节通道 1
U6.B7	DDR3_DM2	T18	1.5V SSTL	写掩码字节通道 2
U5.E3	DDR3_DQ0	J18	1.5V SSTL	数据总线字节通道 0
U5.F7	DDR3_DQ1	K20	1.5V SSTL	数据总线字节通道 0
U5.F2	DDR3_DQ2	H18	1.5V SSTL	数据总线字节通道 0
U5.F8	DDR3_DQ3	K18	1.5V SSTL	数据总线字节通道 0
U5.H3	DDR3_DQ4	H19	1.5V SSTL	数据总线字节通道 0
U5.H8	DDR3_DQ5	J20	1.5V SSTL	数据总线字节通道 0
U5.G2	DDR3_DQ6	H20	1.5V SSTL	数据总线字节通道 0
U5.H7	DDR3_DQ7	K19	1.5V SSTL	数据总线字节通道 0
U5.D7	DDR3_DQ8	L20	1.5V SSTL	数据总线字节通道 1
U5.C3	DDR3_DQ9	M18	1.5V SSTL	数据总线字节通道 1
U5.C8	DDR3_DQ10	M20	1.5V SSTL	数据总线字节通道 1
U5.C2	DDR3_DQ11	M14	1.5V SSTL	数据总线字节通道 1
U5.A7	DDR3_DQ12	L18	1.5V SSTL	数据总线字节通道 1
U5.A2	DDR3_DQ13	M15	1.5V SSTL	数据总线字节通道 1
U5.B8	DDR3_DQ14	L19	1.5V SSTL	数据总线字节通道 1
U5.A3	DDR3_DQ15	N20	1.5V SSTL	数据总线字节通道 1
U6.B3	DDR3_DQ16	R14	1.5V SSTL	数据总线字节通道 2
U6.C7	DDR3_DQ17	P19	1.5V SSTL	数据总线字节通道 2

电路板参考(U5 & U6)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U6.C2	DDR3_DQ18	P14	1.5V SSTL	数据总线字节通道 2
U6.C8	DDR3_DQ19	R20	1.5V SSTL	数据总线字节通道 2
U6.E3	DDR3_DQ20	R15	1.5V SSTL	数据总线字节通道 2
U6.E8	DDR3_DQ21	T19	1.5V SSTL	数据总线字节通道 2
U6.D2	DDR3_DQ22	P15	1.5V SSTL	数据总线字节通道 2
U6.E7	DDR3_DQ23	P20	1.5V SSTL	数据总线字节通道 2
U5.F3	DDR3_DQS_P0	K14	Differential 1.5V SSTL	数据选通 P 字节通道 0
U5.G3	DDR3_DQS_N0	K15	Differential 1.5V SSTL	数据选通 N 字节通道 0
U5.C7	DDR3_DQS_P1	L14	Differential 1.5V SSTL	数据选通 P 字节通道 1
U5.B7	DDR3_DQS_N1	L15	Differential 1.5V SSTL	数据选通 N 字节通道 1
U6.C3	DDR3_DQS_P2	R18	Differential 1.5V SSTL	数据选通 P 字节通道 2
U6.D3	DDR3_DQS_N2	P18	Differential 1.5V SSTL	数据选通 N 字节通道 2
U5.K1 - U6.G1	DDR3_ODT	W19	1.5V SSTL	片上终端使能
U5.J3 - U6.F3	DDR3_RASn	V18	1.5V SSTL	行地址选择
U5.T2 - U6.N2	DDR3_RESEn	B22	1.5V SSTL	复位
U5.L3 - U6.H3	DDR3_WEn	Y21	1.5V SSTL	写使能
U5.L8	DDR3_ZQ1	—	1.5V SSTL	ZQ 阻抗校准
U6.H8	DDR3_ZQ2	—	1.5V SSTL	ZQ 阻抗校准

Flash

MAX 10 FPGA 开发套件提供一个 512-Mb (megabit) quad SPI 闪存。Altera Generic QUAD SPI 控制器内核默认用于在 Board Test System (BTS) 安装程序的参考设计中擦除，读取和写入 quad SPI flash。

如果使用并行闪存加载程序(PFL) IP 对 quad SPI flash 进行编程，那么需要生成一个 **.pof** (Programmer Object file) 来配置器件。

按照下面步骤生成一个 **.pof** 文件：

1. 通过设置

```
PGMIO_SWAP_HEX_BYTE_DATA=ON
```

创建一个字节顺序的 `Quartus.ini` 文件

2. 将 `.ini` 文件复制到工程根目录，然后使用 Quartus 打开此工程
3. 打开 **Convert Programming Files** 工具，生成 `.pof` 文件

表 4-24: 512-Mb QSPI Flash 的默认存储器映射

模块描述	容量(KB)	地址范围
电路板测试系统暂用(board test system scratch)	512	0x03F8.0000 – 0x03FF.FFFF
用户软件	56640	0x0083.0000 – 0x03F7.FFFF
出厂软件	4096	0x0043.0000 – 0x0082.FFFF
Zips(html, 网页内容)	4096	0x0003.0000 – 0x0042.FFFF
电路板信息	64	0x0002.0000 – 0x0002.FFFF
Ethernet 选项比特	64	0x0001.0000 – 0x0001.FFFF
用户设计复位矢量	64	0x0000.0000 – 0x0000.FFFF

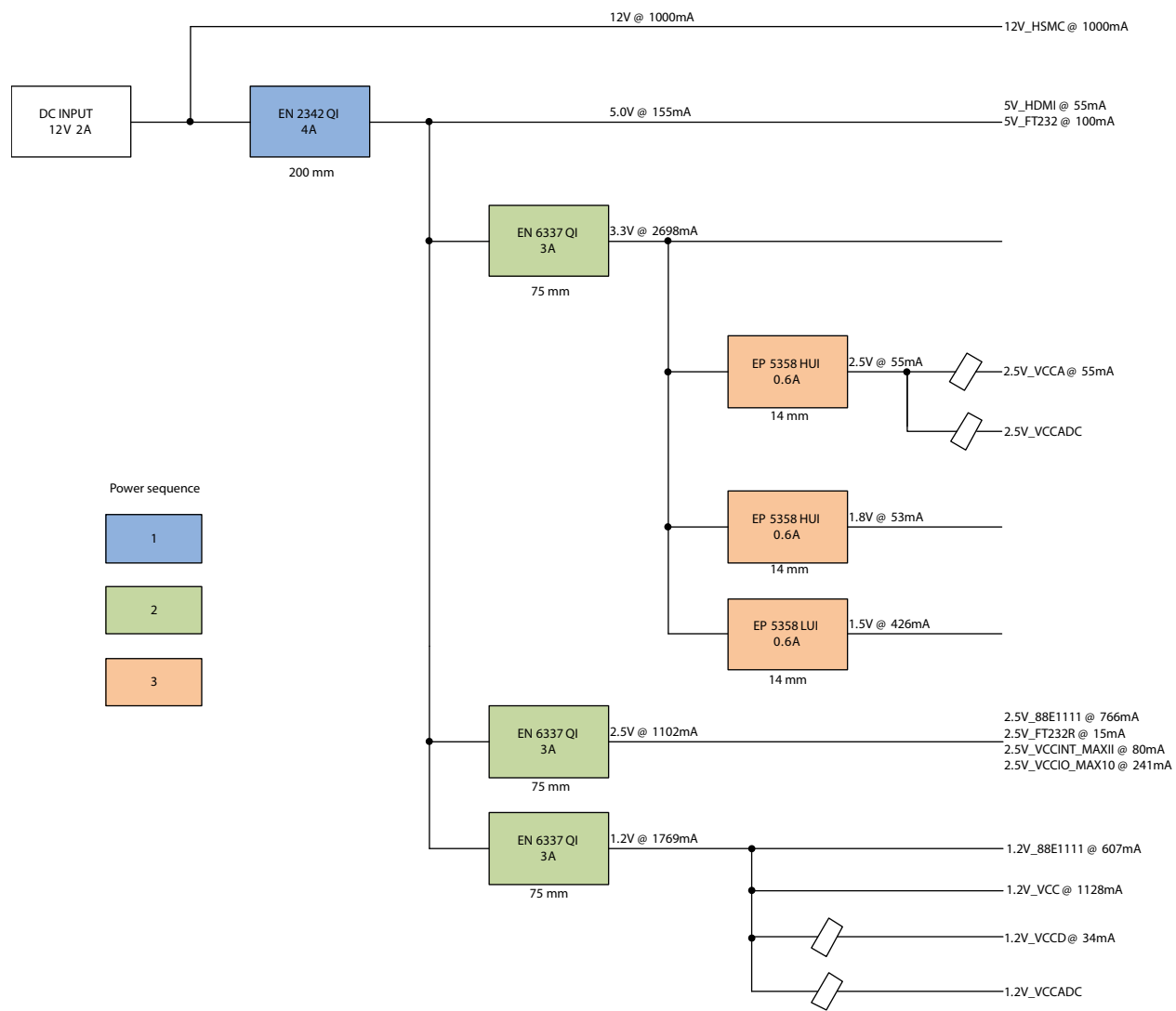
表 4-25: 闪存管脚分配，图解信号名称和功能

电路板参考(U7)	图解信号名称	MAX 10 FPGA 管脚编号	I/O 标准	说明
U7.7	QSPI_CS _n	C2	3.3V	芯片选择
U7.16	QSPI_CLK	B2	3.3V	时钟
U7.3	QSPI_RESE _{Tn}	W12 (MAX II)	3.3V	复位
U7.15	QSPI_IO0	C6	3.3V	地址总线
U7.8	QSPI_IO1	C3	3.3V	地址总线
U7.9	QSPI_IO2	C5	3.3V	地址总线
U7.1	QSPI_IO3	B1	3.3V	地址总线

配电系统

此主题显示了 MAX 10 FPGA 开发板的电源树图。稳压器的低效和共享反映在所示电流中，这是保守的绝对最大电平。

图 4-4: 配电系统



2017.09.07

UG-01169



订阅



反馈

用户指南修订历史

表 A-1: MAX 10 FPGA 开发套件用户指南修订历史

日期	版本	修订内容
2017 年 9 月	2017.09.07	更新了 板载振荡器 (第 4-10 页)上的“板载振荡器”表中的 I/O 标准电压值
2017 年 1 月	2017.01.04	更正了“10/100/1000 Ethernet PHY”中的以下管脚分配: • ENETA_TX_D1 on pin P5 • ENETA_RX_ER on pin U2 • ENET_MDIO on pin Y5 • ENETB_TX_D2 on pin U3 • ENETB_RS_D3 on pin R7
2015 年 11 月	2015.11.06	• 更新了"USB to UART"部分。 • 对“通用用户输入/输出”部分添加了注释。
2015 年 6 月	2015.06.26	• 更新了"DDR3 Rev. B Board"部分。
2015 年 5 月	2015.05.21	• 对 Rev. B & C 电路板添加了 quad SPI 内容。 • 更正了 Rev. B & C 电路板的两个 PMOD 管脚信号名称。 • 更改了 Rev. C 电路板的 DDR3 的四个 MAX 10 管脚。 • 更改了 Rev. C 电路板的 SW2 的两个开关/信号名称。 • 更新了开关和跳线设置部分，添加了 VTAP 描述。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2015
Registered

ALTERA
now part of Intel

日期	版本	修订内容
2015 年 3 月	2015.03.31	首次发布。

合规性与一致性声明

CE EMI 一致性提醒

此电路板的交付使用符合 Directive 2004/108/EC 制定的相关标准。由于可编程逻辑器件的自身特点，用户有可能会因为修改此套件而产生超出此设备所限制的电磁干扰(EMI)。用户擅自对交付产品进行修改而导致的任何 EMI 都要由用户本人负责。

